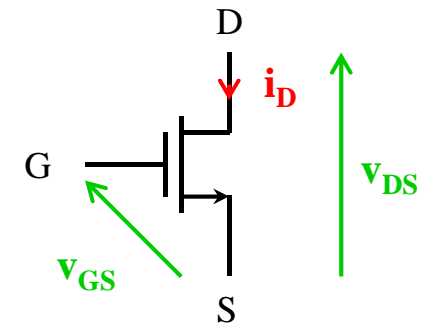
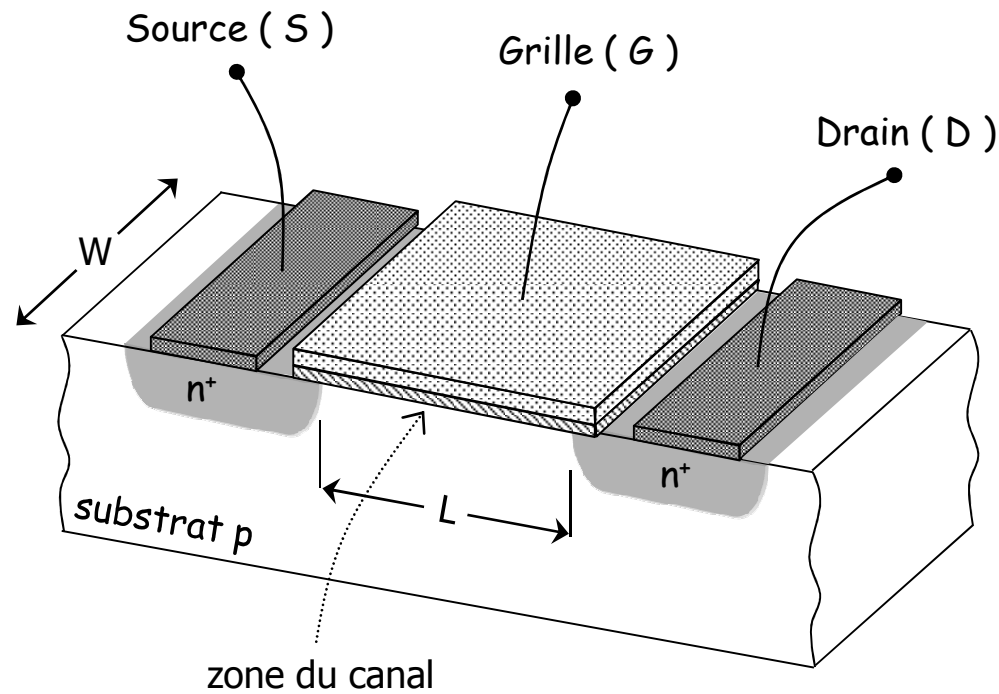


I - Introduction - Rappels.

1 - Structure, vue 3D du MOS à canal N (NMOS) :

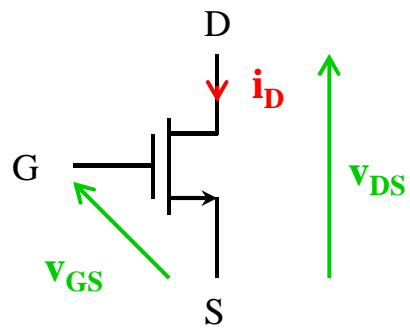
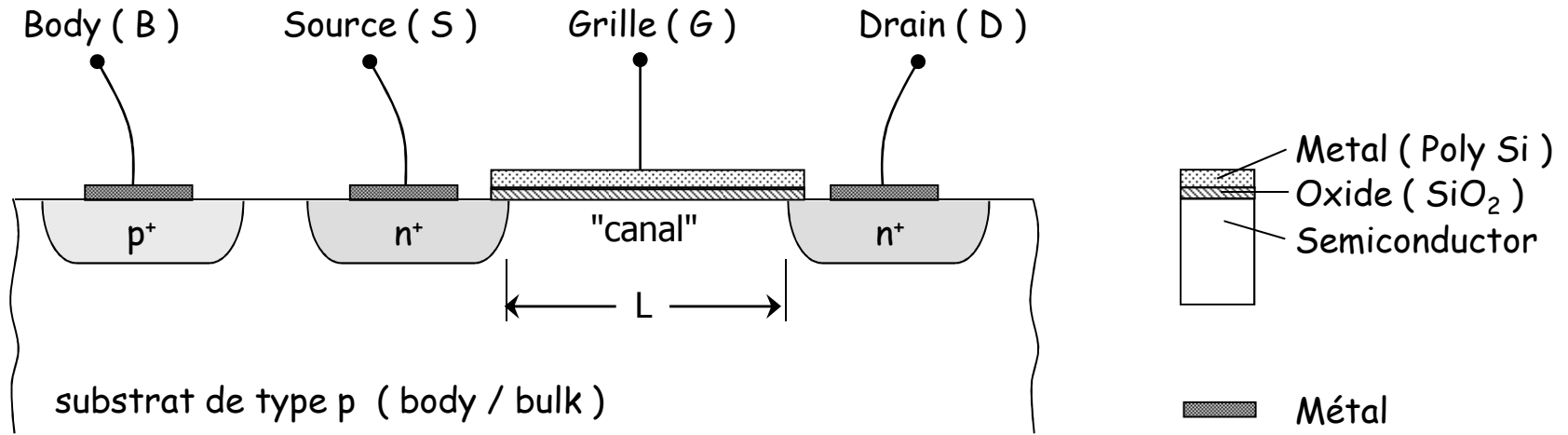


L longueur du canal [μm]
length

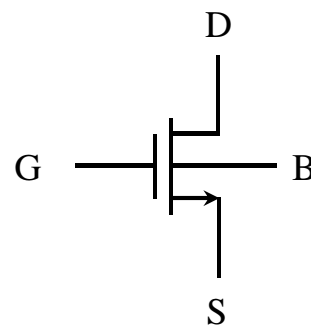
W largeur du canal [μm]
width

MOSFET : Metal Oxide Semiconductor Field Effect Transistor

I - Introduction, rappels



pour $v_{SB} = 0$



pour $v_{SB} \neq 0$

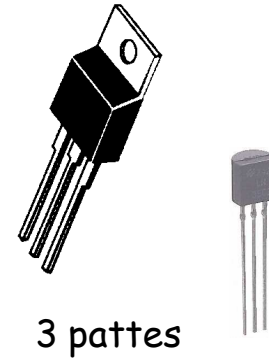
I - Introduction, rappels

MOS :

Composants discrets :

power

commutation , amplification
peu fréquent



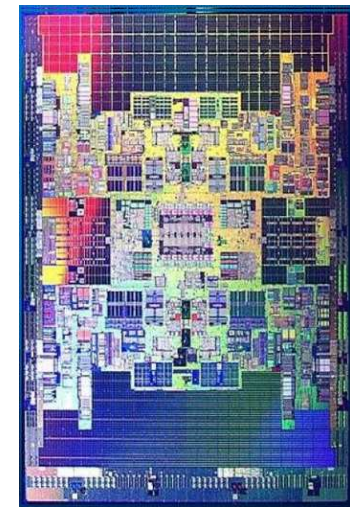
Electronique intégrée :

composant "*roi*" de la micro-électronique
4 pattes, choix W et L

Technologie caractérisée par L_{\min} de grille

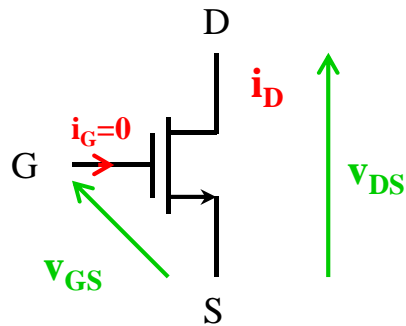
Intel Intanium quadri-cœurs : 45 nm, 2 milliards de transistors

outils de conception informatisés : CAO



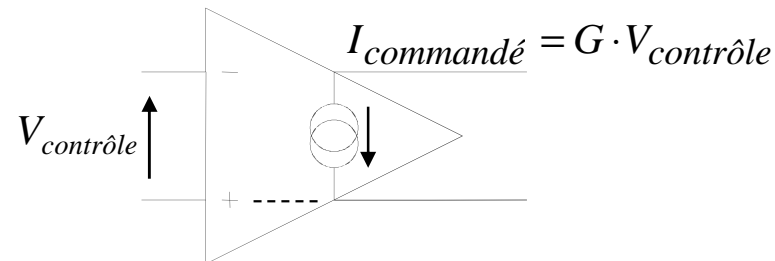
I - Introduction, rappels

2 - Caractéristiques courant - tension du NMOS (pour $v_{SB} = 0$).



La tension appliquée entre la grille et la source, v_{GS} , permet de contrôler le courant circulant entre le drain et la source, i_D .

i.e. source de courant commandée par une tension



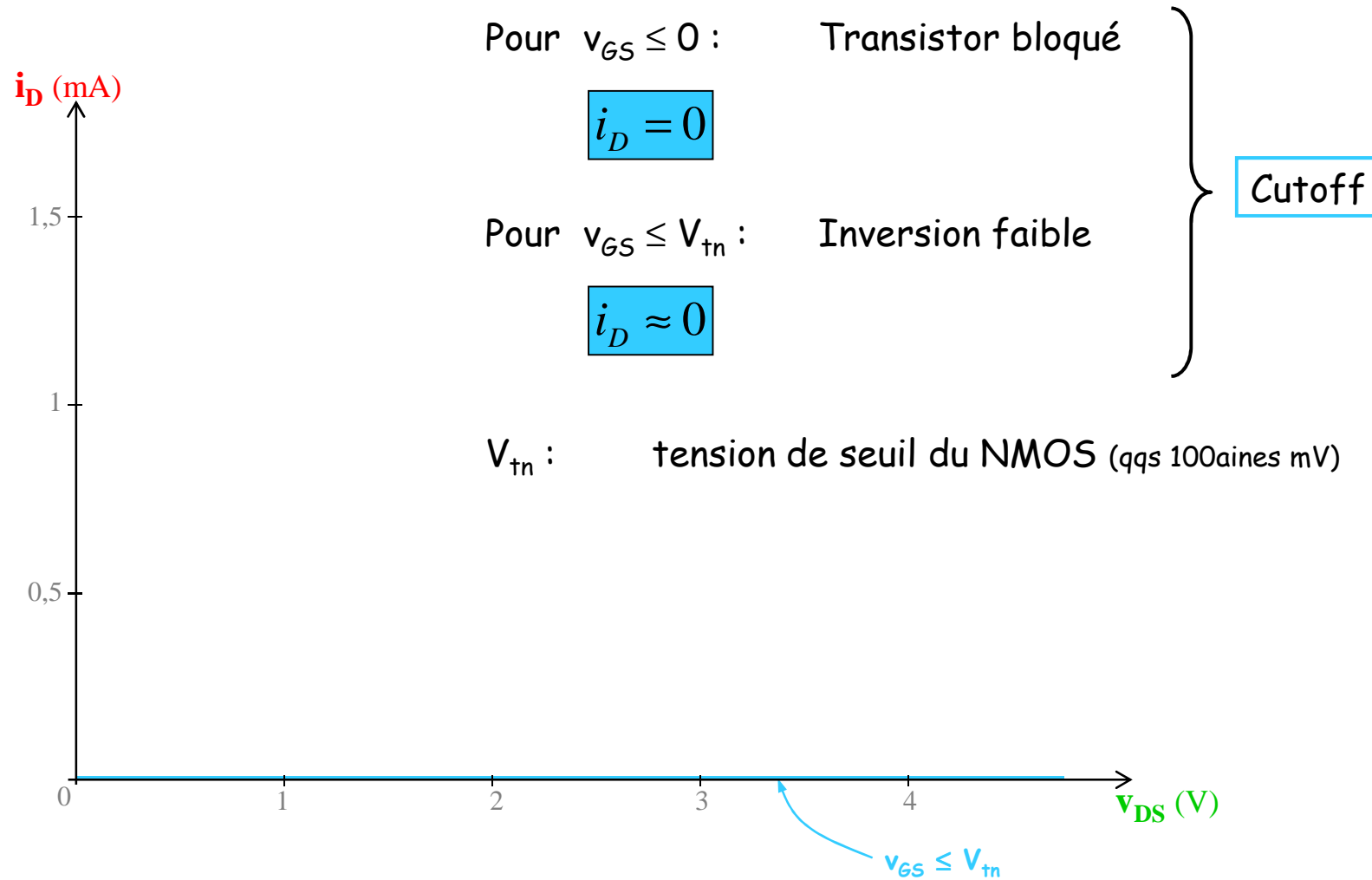
G = transconductance [A/V]

Cf. cours MCME pour les aspects théoriques de l'établissement de la caractéristique $i_D - v_{DS}$ en fonction des différents régimes de polarisation du transistor.

Le courant de grille sera considéré nul : $i_G \approx 0$

I - Introduction, rappels

a. Caractéristique $i_D - v_{DS}$

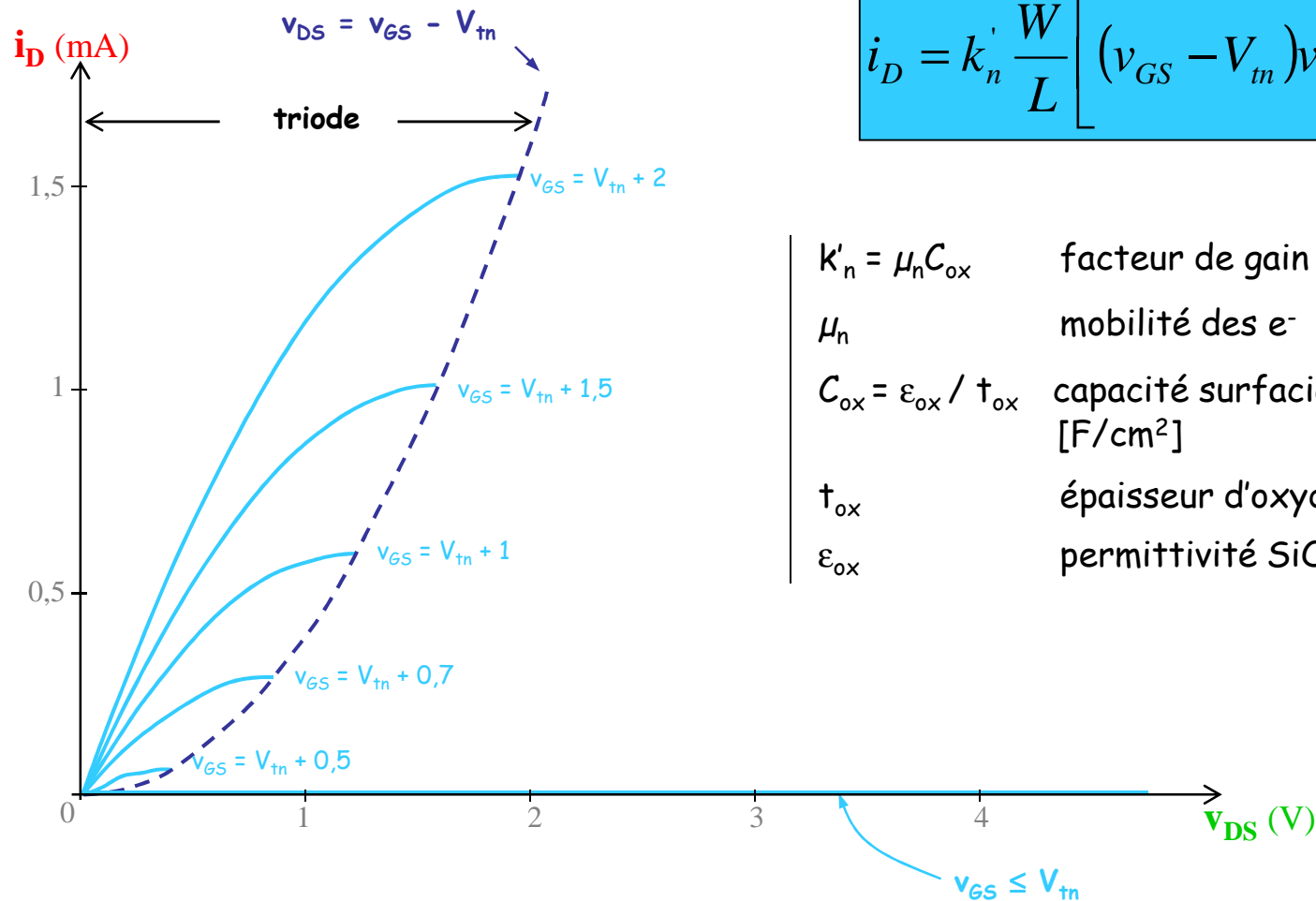


I - Introduction, rappels

a. Caractéristique $i_D - v_{DS}$

Pour $v_{GS} \geq V_{tn}$ et $v_{DS} \leq v_{GS} - V_{tn}$:

Régime triode

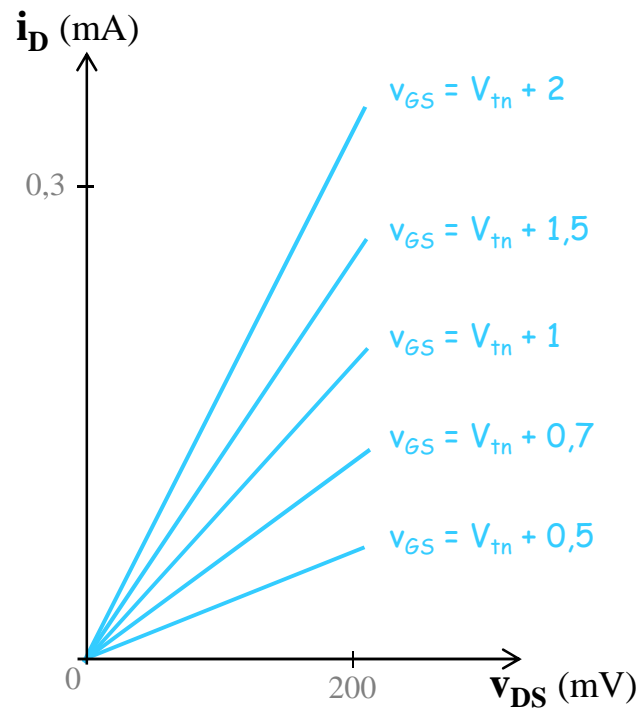


$$i_D = k'_n \frac{W}{L} \left[(v_{GS} - V_{tn}) v_{DS} - \frac{v_{DS}^2}{2} \right]$$

$k'_n = \mu_n C_{ox}$	facteur de gain NMOS	$[\mu A/V^2]$
μ_n	mobilité des e^-	$[cm^2/Vs]$
$C_{ox} = \epsilon_{ox} / t_{ox}$	capacité surfacique de grille	$[F/cm^2]$
t_{ox}	épaisseur d'oxyde de grille	$[nm]$
ϵ_{ox}	permittivité SiO_2	$[F/m]$

I - Introduction, rappels

a. Caractéristique $i_D - v_{DS}$



Zone linéaire du régime triode
pour $v_{DS} \ll 2(v_{GS} - V_{tn})$

$$i_D = k'_n \frac{W}{L} (v_{GS} - V_{tn}) v_{DS}$$

$$r_{DS} = \frac{v_{DS}}{i_D} = 1 / k'_n \frac{W}{L} (v_{GS} - V_{tn})$$

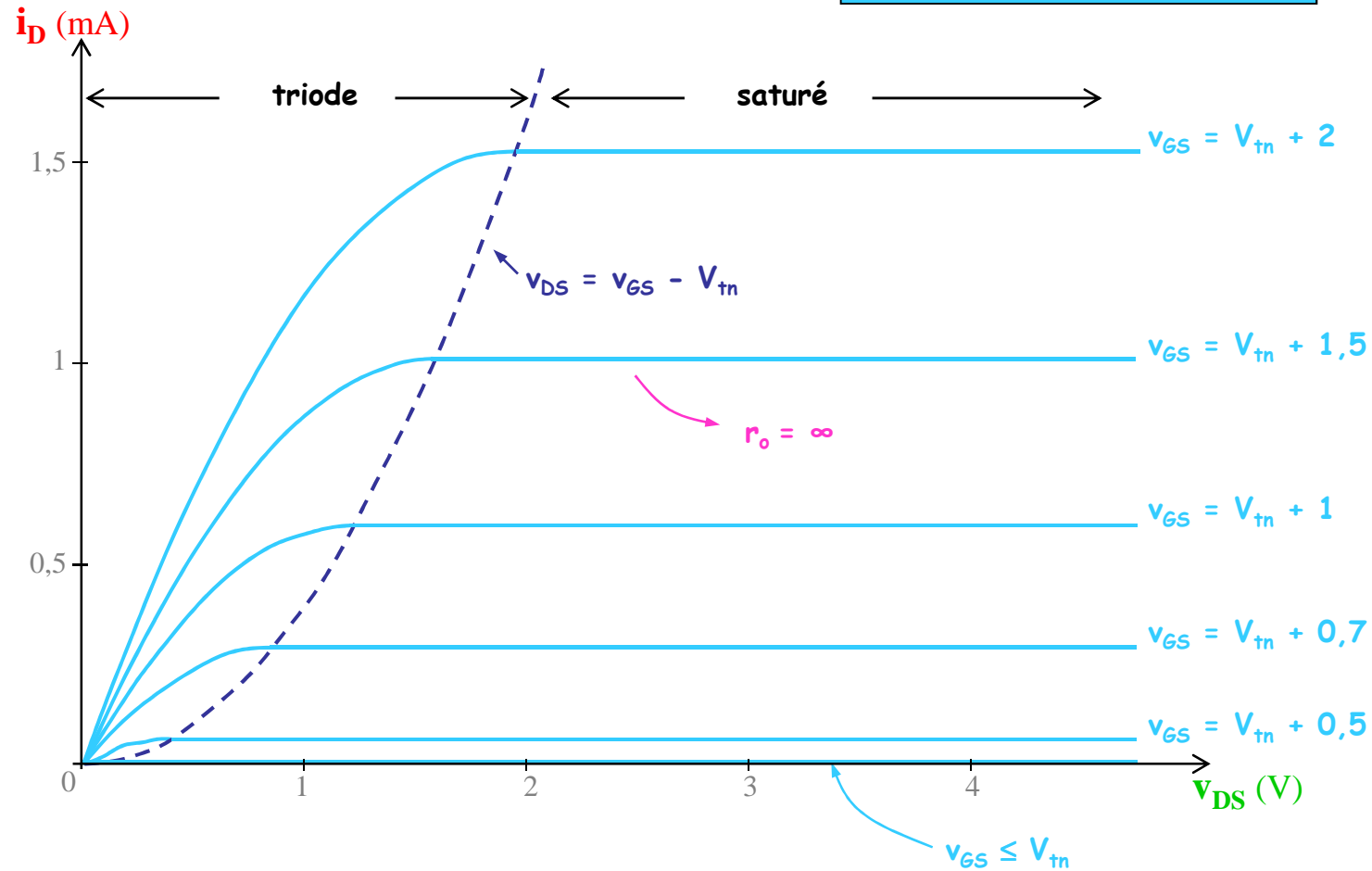
I - Introduction, rappels

a. Caractéristique $i_D - v_{DS}$

Pour $v_{GS} \geq V_{tn}$ et $v_{DS} \geq v_{GS} - V_{tn}$:

Régime saturé

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_{tn})^2$$

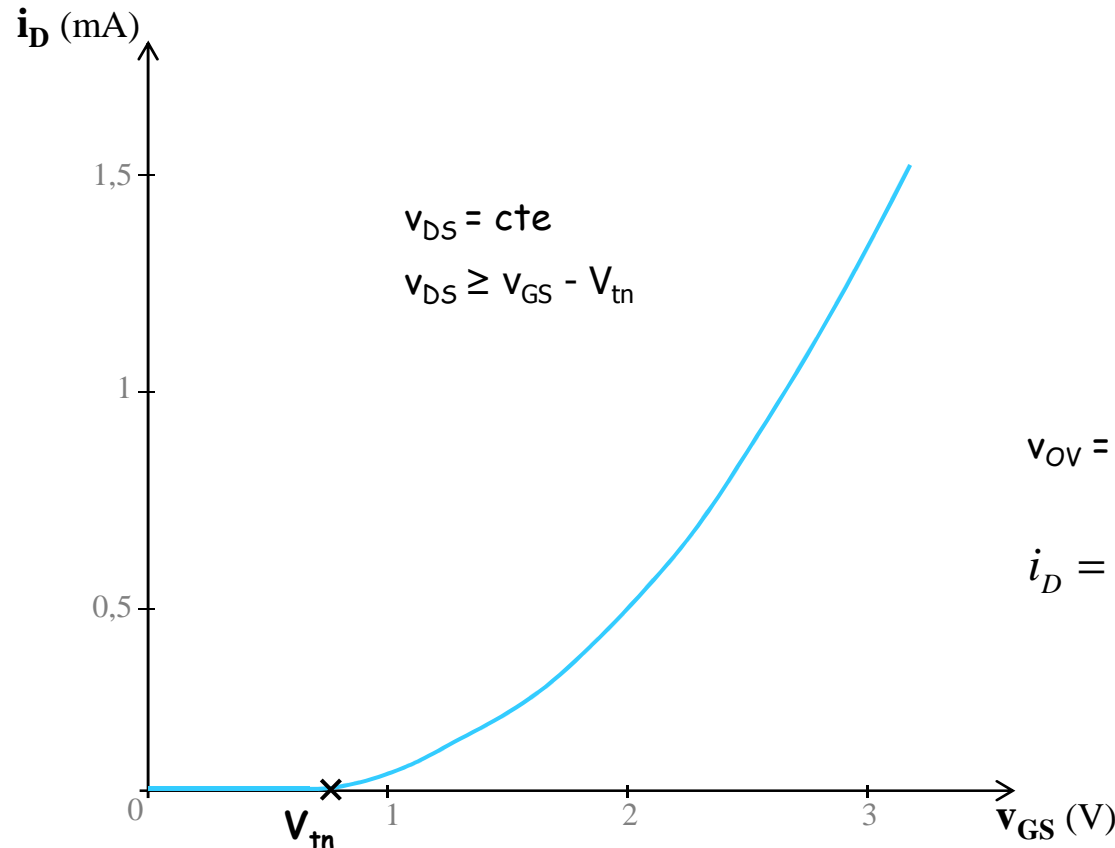


I - Introduction, rappels

b. Caractéristique $i_D - v_{GS}$

Pour $v_{GS} \geq V_{tn}$ et $v_{DS} \geq v_{GS} - V_{tn}$:

Régime saturé



$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_{tn})^2$$

Equation quadratique

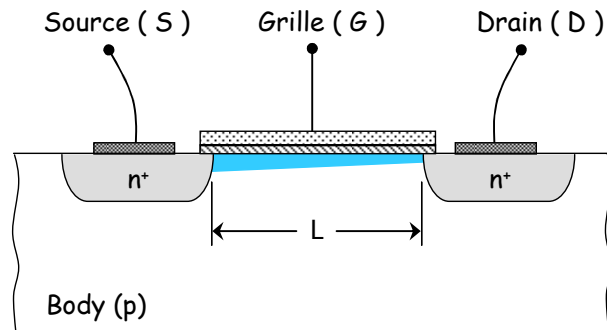
$v_{OV} = v_{GS} - V_t$ tension d' *overdrive* effective

$$i_D = \frac{1}{2} k'_n \frac{W}{L} v_{OV}^2$$

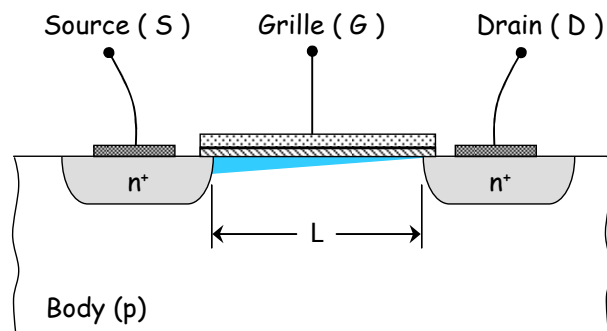
V_{tn} : tension de seuil du NMOS (qqs 100aines mV)

I - Introduction, rappels

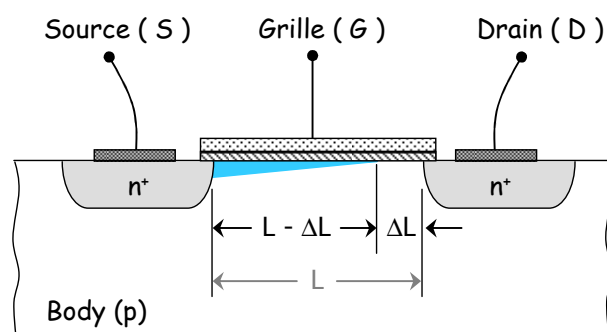
3 - Modulation de la longueur du canal.



Régime triode : $v_{GS} \geq V_{tn}$ et $v_{DS} \leq v_{GS} - V_{tn}$



Régime satur  : $v_{GS} \geq V_{tn}$ et $v_{DS} = v_{GS} - V_{tn}$
Pincement du canal   la limite de saturation



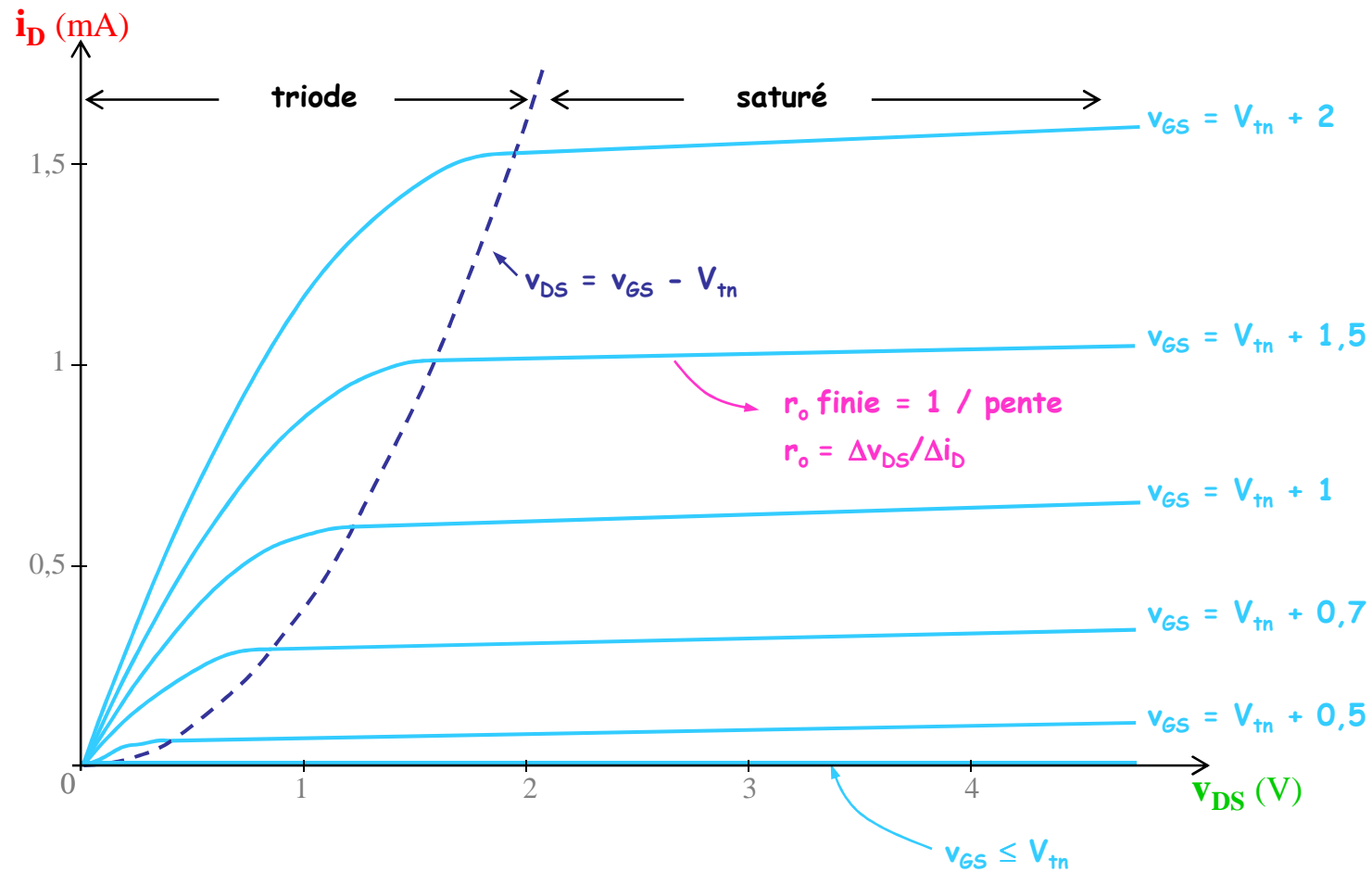
R gime satur  : $v_{GS} \geq V_{tn}$ et $v_{DS} > v_{GS} - V_{tn}$
Canal pinc , modulation de sa longueur

~~L~~ \Rightarrow L - ΔL } r_o finie

Avec $\Delta L \uparrow$ qd $v_{DS} \uparrow$ d'o  $i_D \uparrow$ avec v_{DS}

I - Introduction, rappels

3 - Modulation de la longueur du canal.



I - Introduction, rappels

3 - Modulation de la longueur du canal.

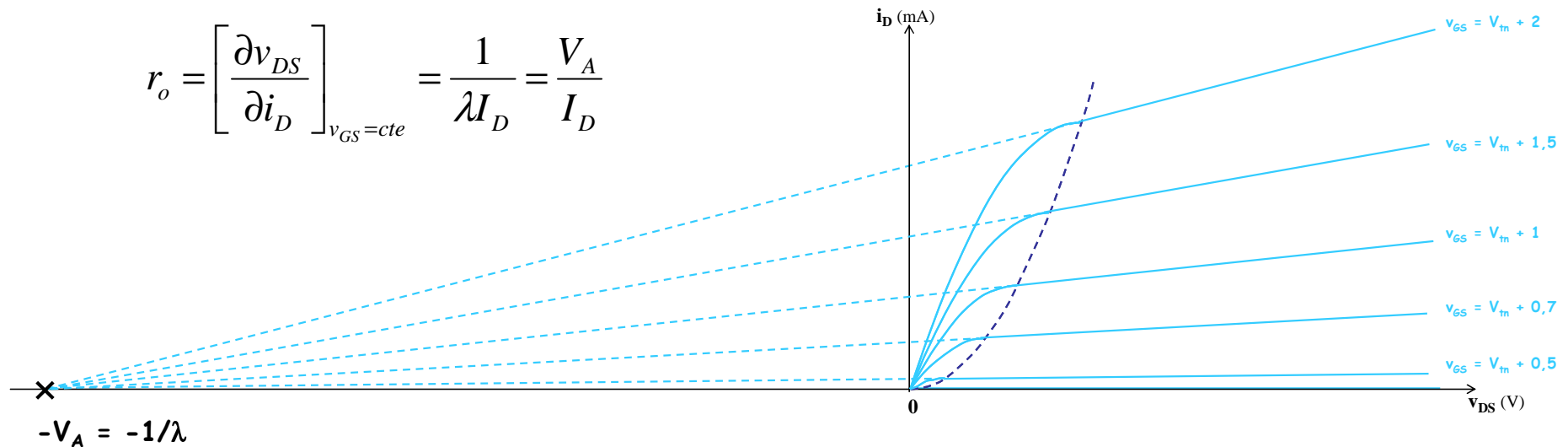
$$i_D = \frac{1}{2} k_n' \frac{W}{L} (v_{GS} - V_{tn})^2 \cdot \underbrace{(1 + \lambda v_{DS})}_{\text{modélisation de l'effet de modulation de L}}$$

modélisation de l'effet de modulation de L

$\lambda = 1 / V_A$	coefficient de modulation de la longueur de canal	[V ⁻¹]
V_A	tension d'Early (analogie) proportionnelle à L	[V]

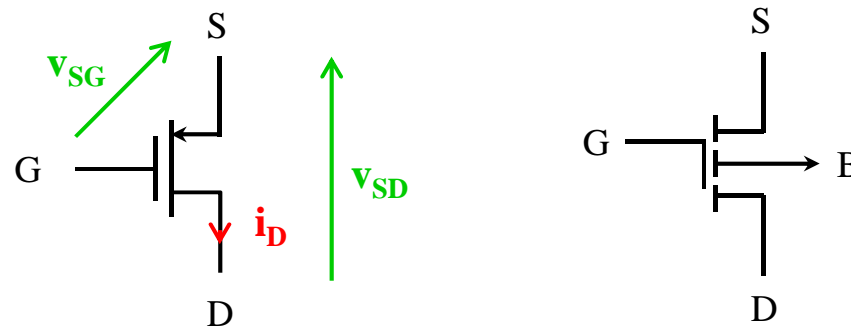
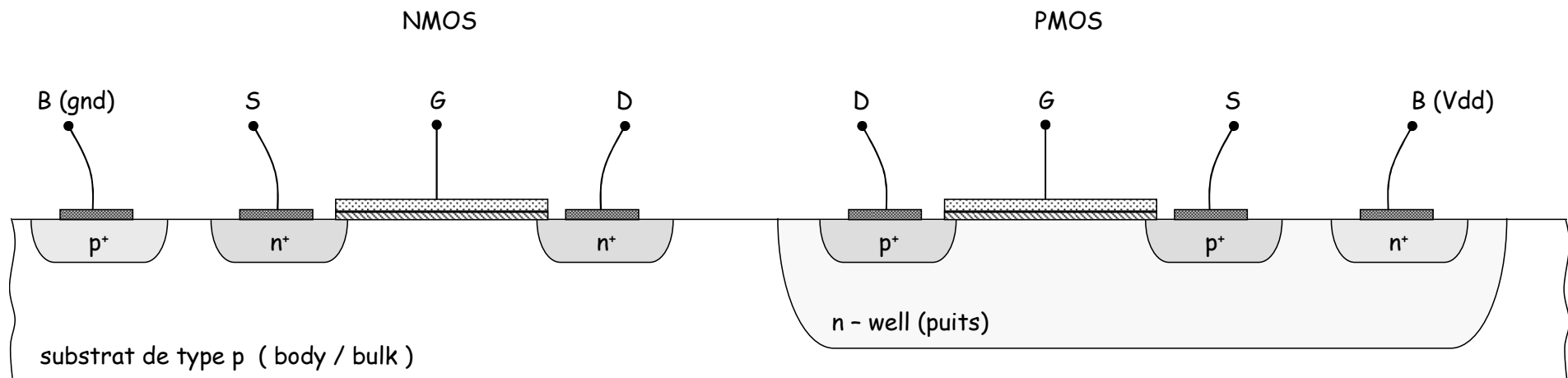
Résistance de sortie : r_o

$$r_o = \left[\frac{\partial v_{DS}}{\partial i_D} \right]_{v_{GS}=cte} = \frac{1}{\lambda I_D} = \frac{V_A}{I_D}$$



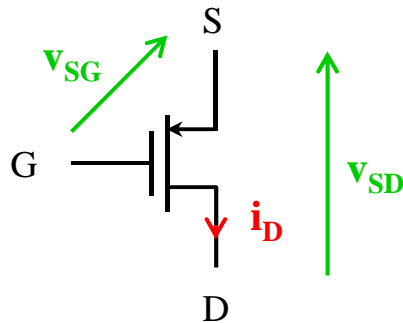
I - Introduction, rappels

4 - Transistor MOS à canal P.



I - Introduction, rappels

4 - Transistor MOS à canal P.



Caractéristiques $i_D - v_{SD}$ et $i_D - v_{GS}$

Reprendre les conditions et équations du NMOS en remplaçant v_{GS} par v_{SG} , v_{DS} par v_{SD} , V_{tn} par $-V_{tp}$, et k'_n par k'_p

k'_p facteur de gain du PMOS [$\mu\text{A}/\text{V}^2$]
 $\mu_p \cong \mu_n / 2 \sim 3$

V_{tp} tension de seuil du PMOS ($V_{tp} < 0$) [V]



Le courant i_D est pris sortant par le drain du PMOS (entrant pour le NMOS).

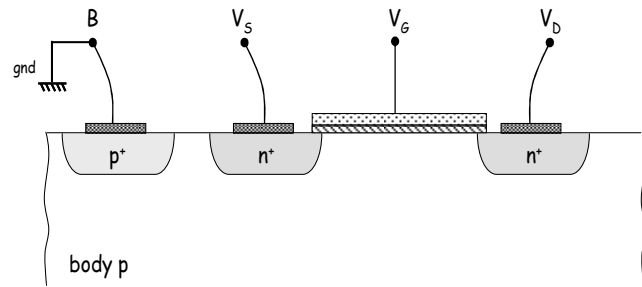
I - Introduction, rappels

Exemples de technologies.

	0,35 μm		0,25 μm		0,18 μm		65 nm	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
t_{ox} (nm)	7,5		6		4		1,2	
C_{ox} (fF/ μm^2)	...		5,8		8,6		...	
$\mu.C_{\text{ox}}$ ($\mu\text{A}/\text{V}^2$)	175	58	267	93	387	86
V_{t0} (V)	0,46	-0,6	0,43	-0,62	0,48	-0,45	0,42	-0,36
V_{DD} (V)	3,3		2,5		1,8		1,2 ~ 0,8	

∅ Cheveu = 50 - 100 μm

5 - Effet de substrat.



Le substrat p est généralement connecté au potentiel le plus électro négatif (gnd).

Pour $v_{SB} \uparrow$ la profondeur du canal est réduite, pour compenser la diminution de i_D correspondante : $v_{GS} \uparrow$

Modélisation :


$$V_t = V_{t0} + \gamma \cdot \left(\sqrt{2\phi_f + v_{SB}} - \sqrt{2\phi_f} \right)$$

V_{t0} tension de seuil pour $v_{SB} = 0$ [V]

$2\phi_f$ potentiel d'inversion de surface (0,6-0,7 V) [V]

γ facteur d'effet de substrat ($\approx 0,4 \text{ V}^{1/2}$) [$\text{V}^{1/2}$]

Variation de $v_{SB} \Rightarrow$ variation de i_D

 body \approx 2^{ème} grille

6 - Effets de la température.

V_t $- 2\text{mV}/^\circ\text{C}$ \Rightarrow i_D augmente avec T°

k' $dk'/dT < 0$ \Rightarrow i_D diminue avec T°
effet prépondérant

\Rightarrow i_D diminue avec T°

7 - Qualité de la modélisation.

Equations précédentes = modélisation au 1^{er} ordre, c.-à-d. plutôt inexacte

Adapté à un calcul *manuel* pour un résultat approché à 10-20% près, ensuite recours aux logiciels de simulation électrique (spice).

Hors cadre de ce cours :

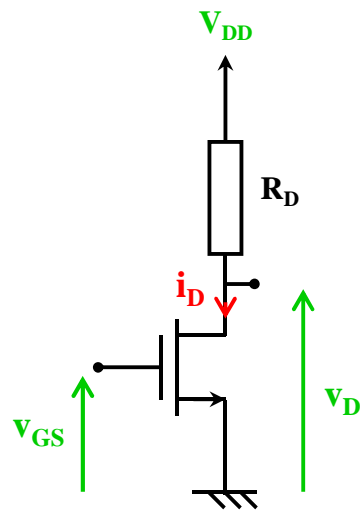
- conduction en inversion faible (subthreshold),
- effets liés aux longueurs de canal submicroniques.

II - Le transistor MOS en amplification.

1 - Utilisation en amplification.

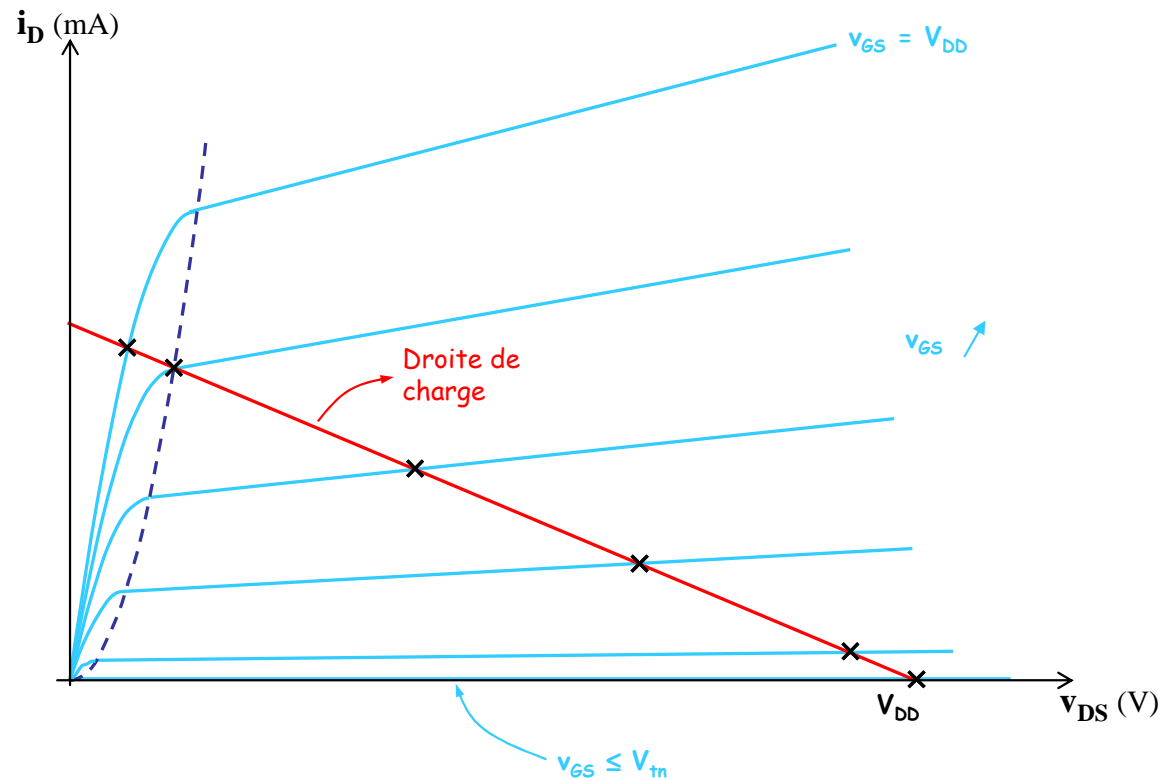
a. Construction graphique.

1^{ère} qualité amplificateur ?



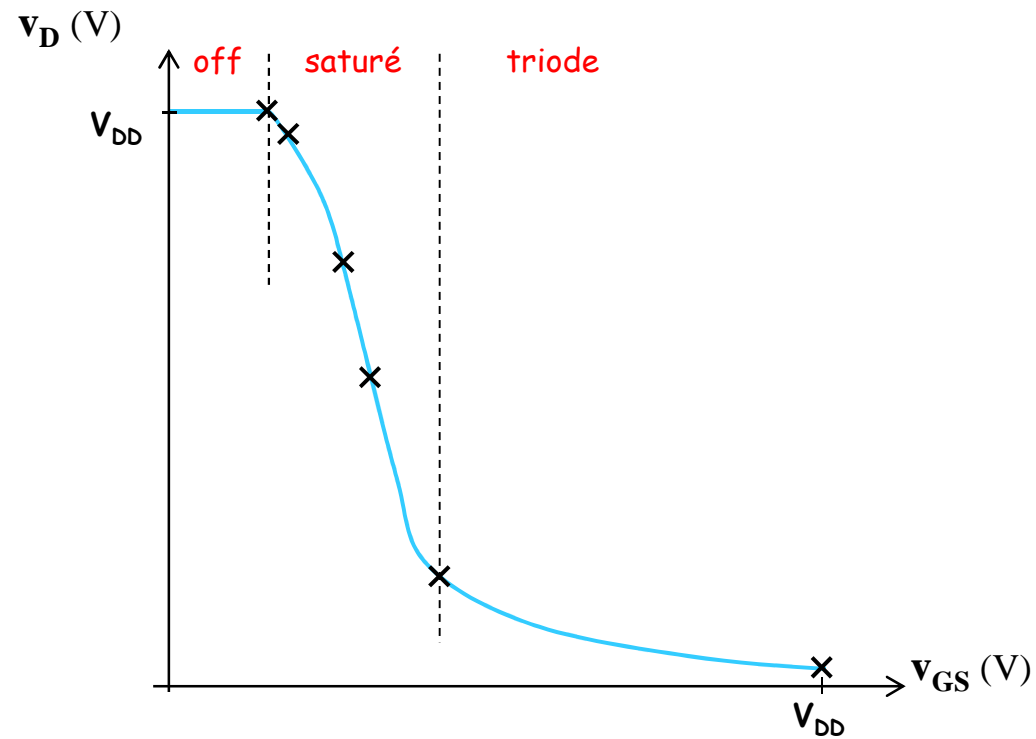
$$v_D = V_{DD} - R_D i_D$$

$$i_D = (V_{DD} - v_D) / R_D$$



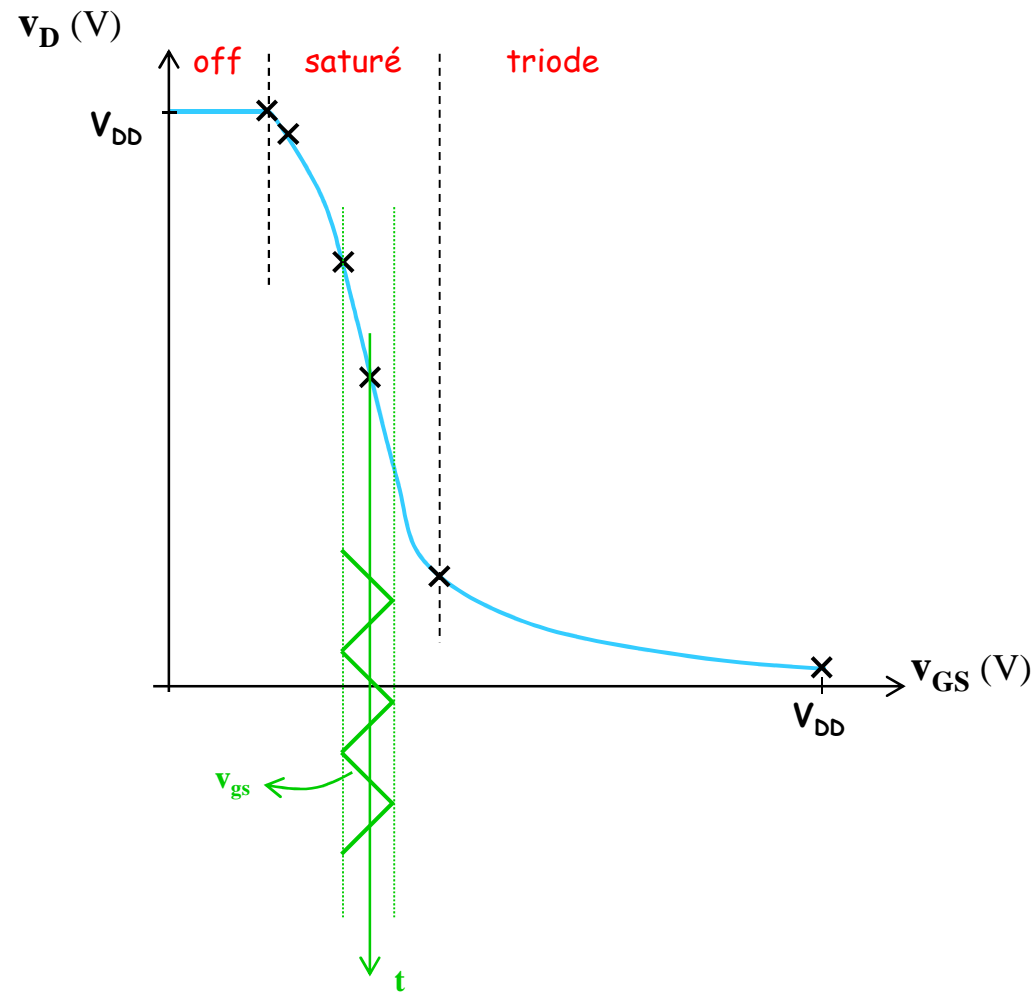
II - Le transistor MOS en amplification

a. Construction graphique.



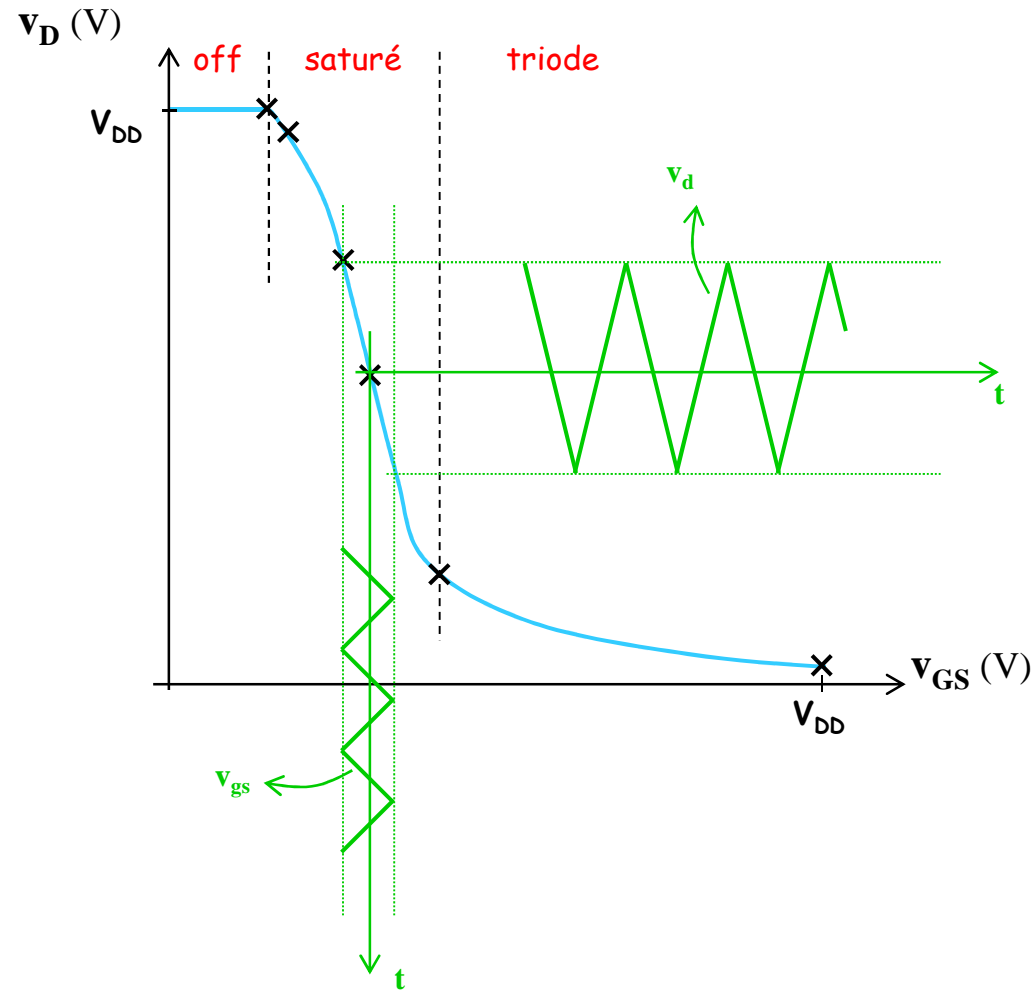
II - Le transistor MOS en amplification

a. Construction graphique.



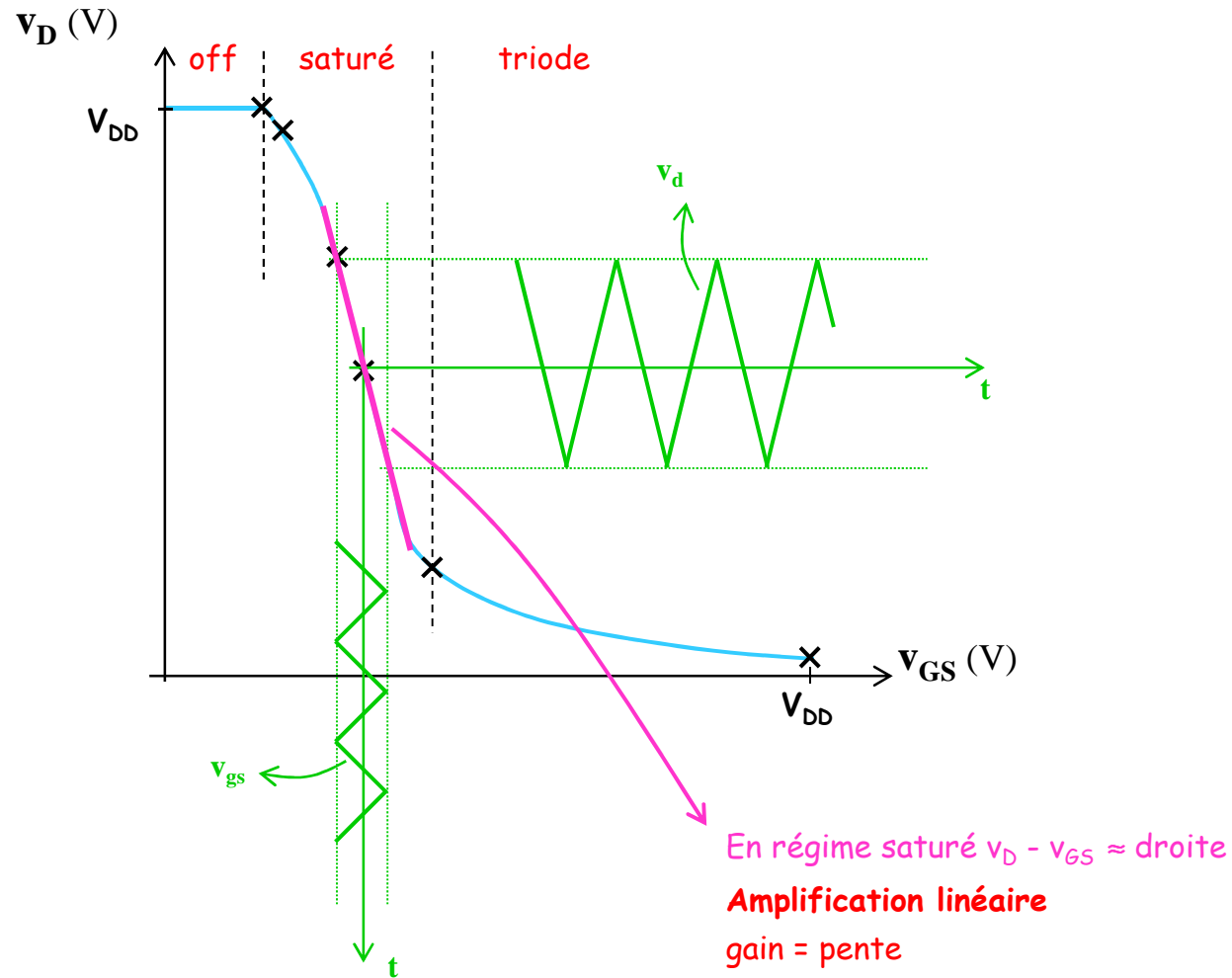
II - Le transistor MOS en amplification

a. Construction graphique.



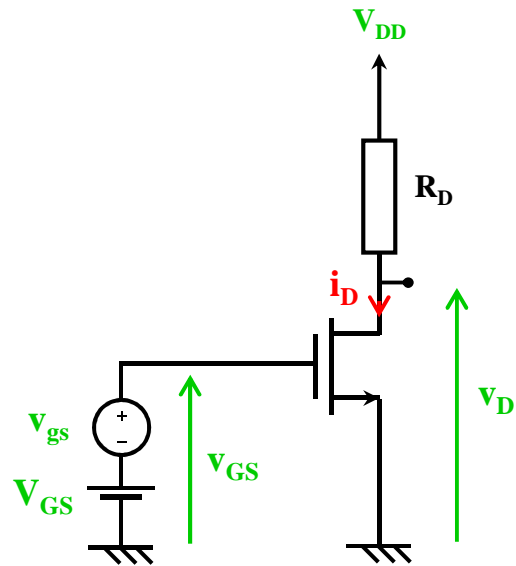
II - Le transistor MOS en amplification

a. Construction graphique.



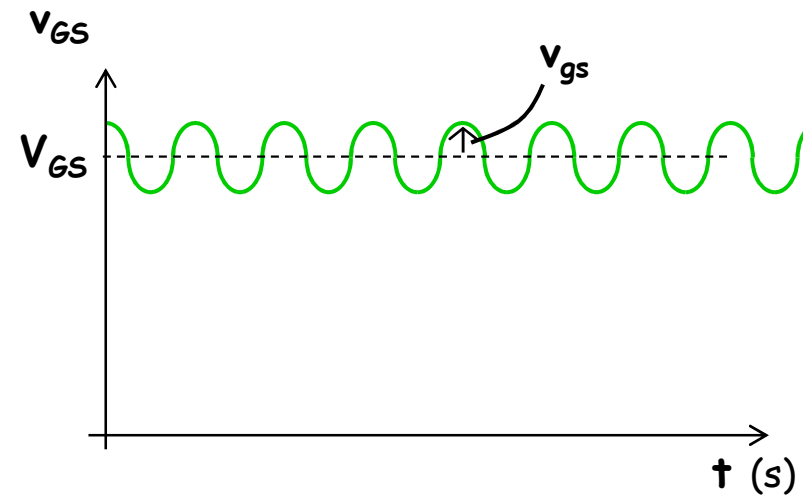
II - Le transistor MOS en amplification

b. Mise en équations.



$$v_{GS} = V_{GS} + v_{gs}$$

composante continue composante variable



Amplification : polarisation en régime saturé (linéarité)

II - Le transistor MOS en amplification

b. Mise en équations.

• pour $v_{gs} \ll 2v_{OV}$ ($\lambda=0$)

$$i_D = \underbrace{\frac{1}{2} k_n' \frac{W}{L} (V_{GS} - V_{tn})^2}_{I_D} + \underbrace{k_n' \frac{W}{L} (V_{GS} - V_{tn}) v_{gs}}_{i_d}$$

courant de polarisation composante variable

$$v_D = \underbrace{V_{DD} - R_D I_D}_{V_D} - \underbrace{R_D i_d}_{v_d}$$

II - Le transistor MOS en amplification

b. Mise en équations.

- pour $v_{gs} \ll 2v_{OV}$, en considérant le régime variable (petits signaux)

transconductance :

$$g_m = \frac{i_d}{v_{gs}} = k'_n \frac{W}{L} (V_{GS} - V_{tn}) \quad [A/V]$$

$$g_m = 2I_D / V_{OV} = \sqrt{2k'_n} \cdot \sqrt{W/L} \cdot \sqrt{I_D}$$

dépend des grandeurs continues (DC)

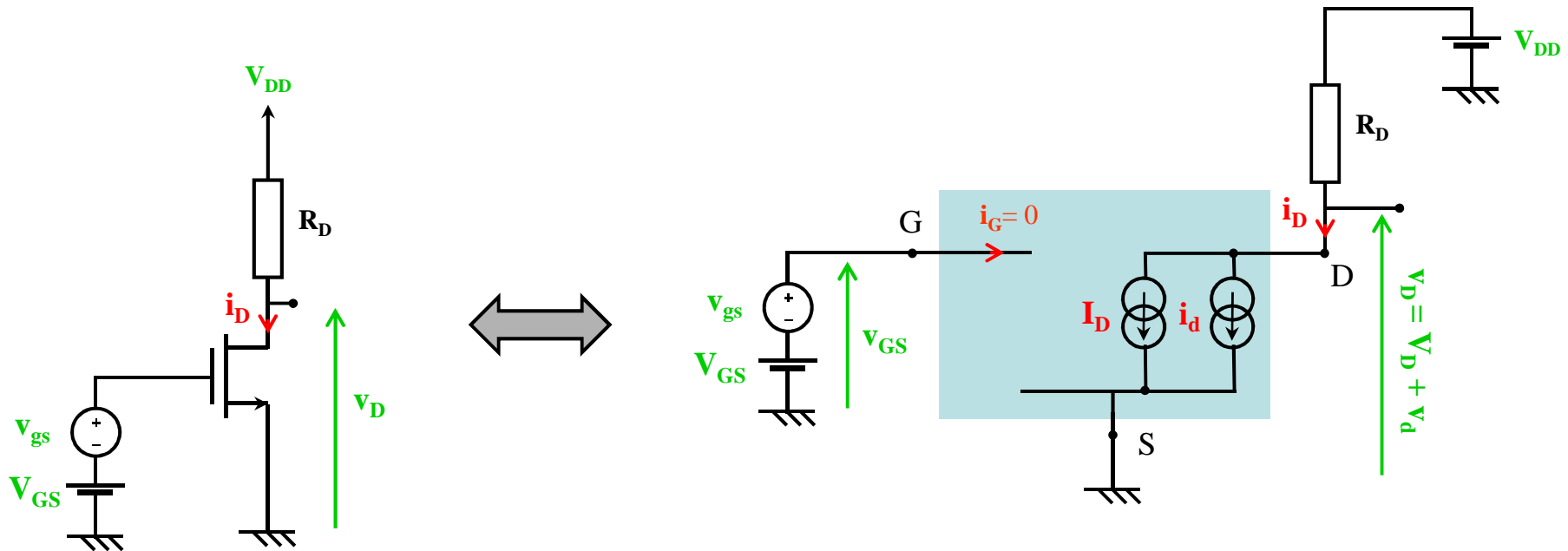
c.-à-d. de la polarisation

gain en tension p.s. :

$$A_v = v_d / v_{gs} = -g_m R_D \quad [V/V]$$

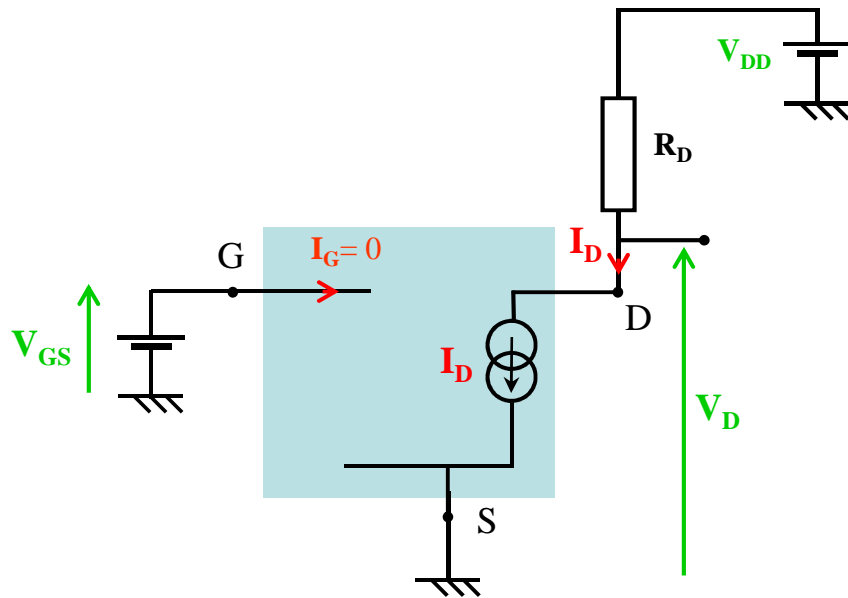
II - Le transistor MOS en amplification

2 - Séparation des régimes continu et variable (DC et AC).



II - Le transistor MOS en amplification

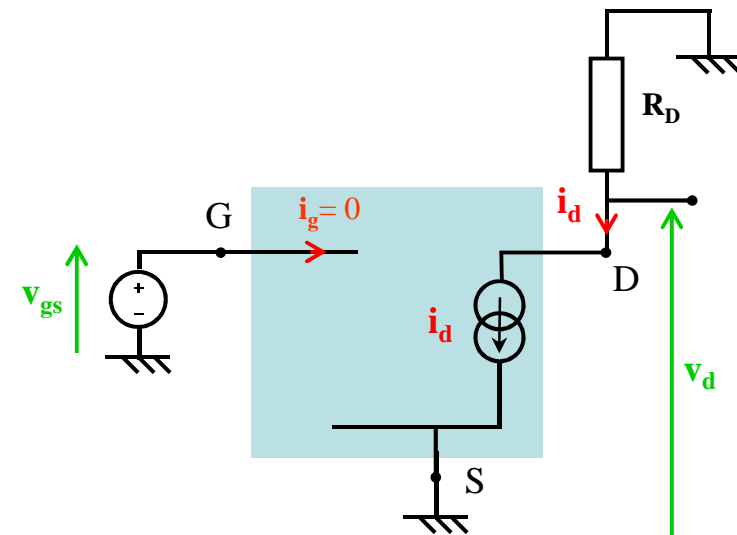
Par application du théorème de superposition (condition d'application ?)



régime DC

$$I_D = \frac{1}{2} k_n' \frac{W}{L} (V_{GS} - V_{tn})^2$$

+



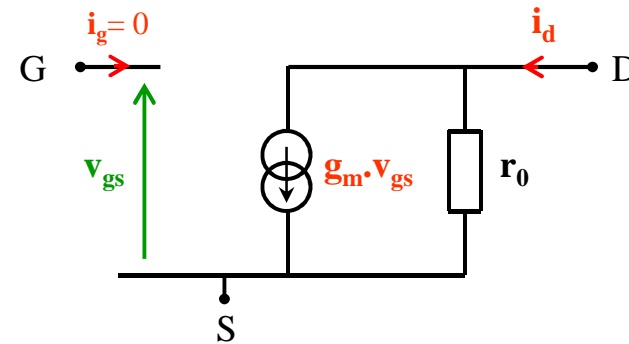
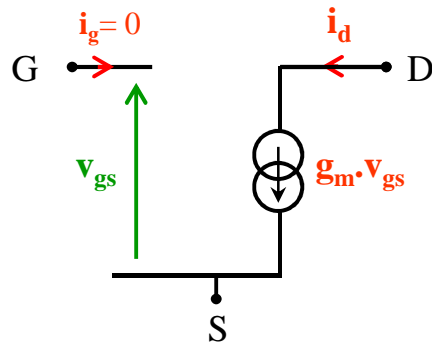
régime AC

$$i_d = g_m v_{gs}$$

II - Le transistor MOS en amplification

3 - Modèle équivalent petits signaux du MOS.

- Validité :
- polarisation en régime saturé,
 - v_{gs} petit devant $2V_{ov}$,
 - basses fréquences.



prise en compte de la modulation
de longueur du canal

$$r_o = V_A / I_D$$

$$g_m = k'_n \frac{W}{L} (V_{GS} - V_{tn})$$

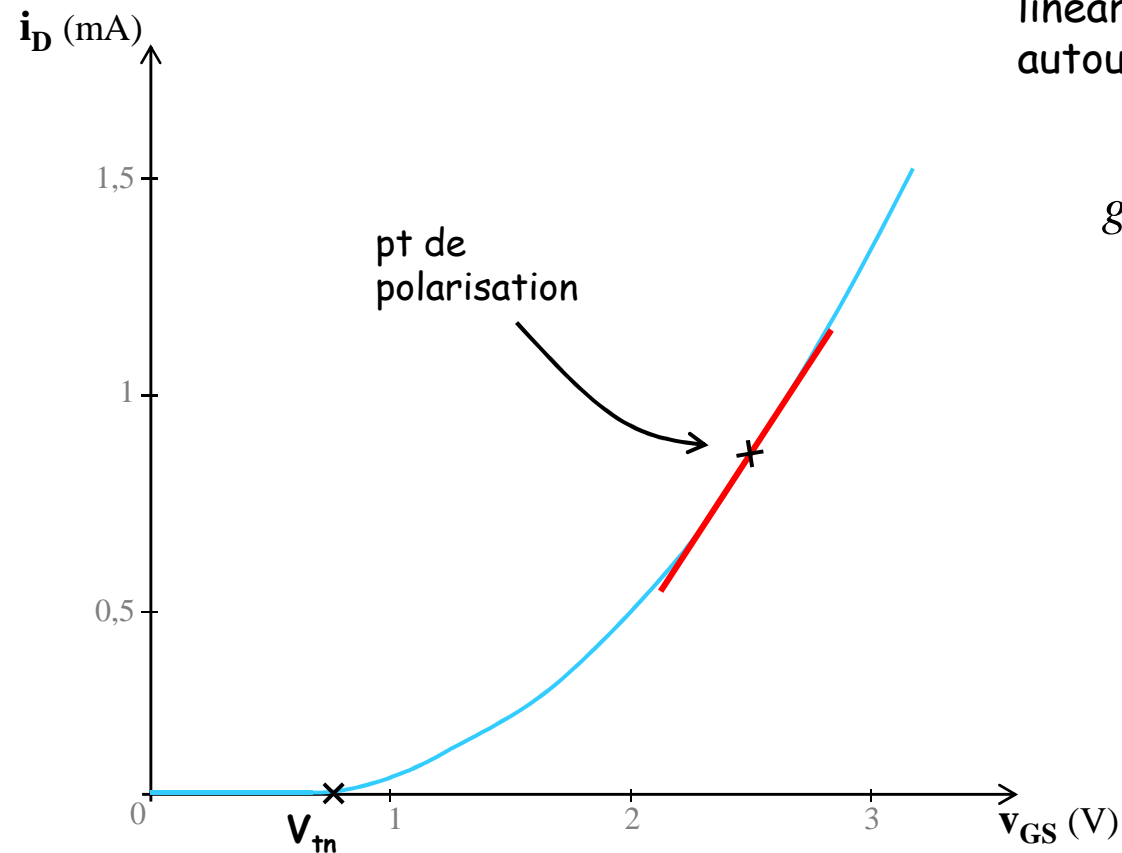
$$g_m = 2I_D / V_{OV} = \sqrt{2k'_n} \cdot \sqrt{W/L} \cdot \sqrt{I_D}$$

Le choix du point de polarisation fixe les
valeurs des paramètres du modèle p.s.

II - Le transistor MOS en amplification

3 - Modèle équivalent petits signaux du MOS.

Interprétation graphique de la notion de transconductance :



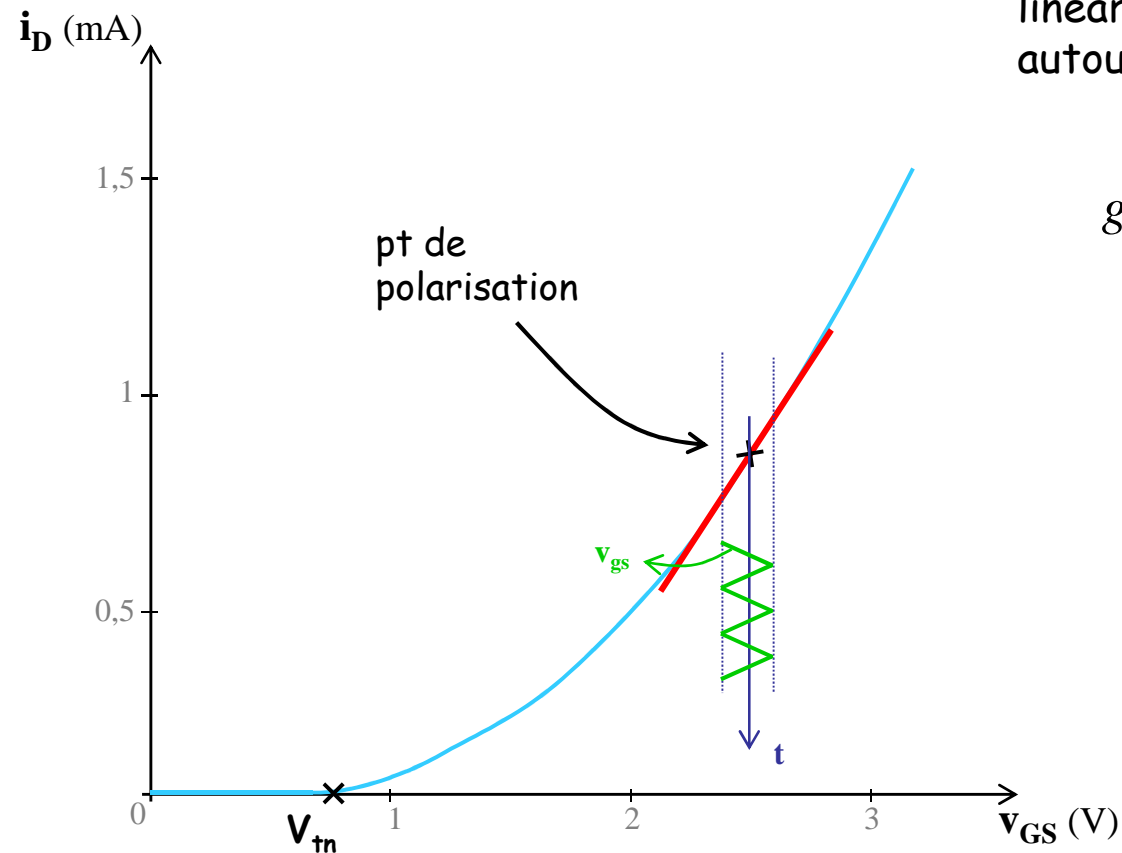
linéarisation de la caractéristique
autour du point de polarisation

$$g_m = \text{pente} = \left(\frac{\partial i_D}{\partial v_{GS}} \right)_{v_{DS} = \text{cte}}$$

II - Le transistor MOS en amplification

3 - Modèle équivalent petits signaux du MOS.

Interprétation graphique de la notion de transconductance :



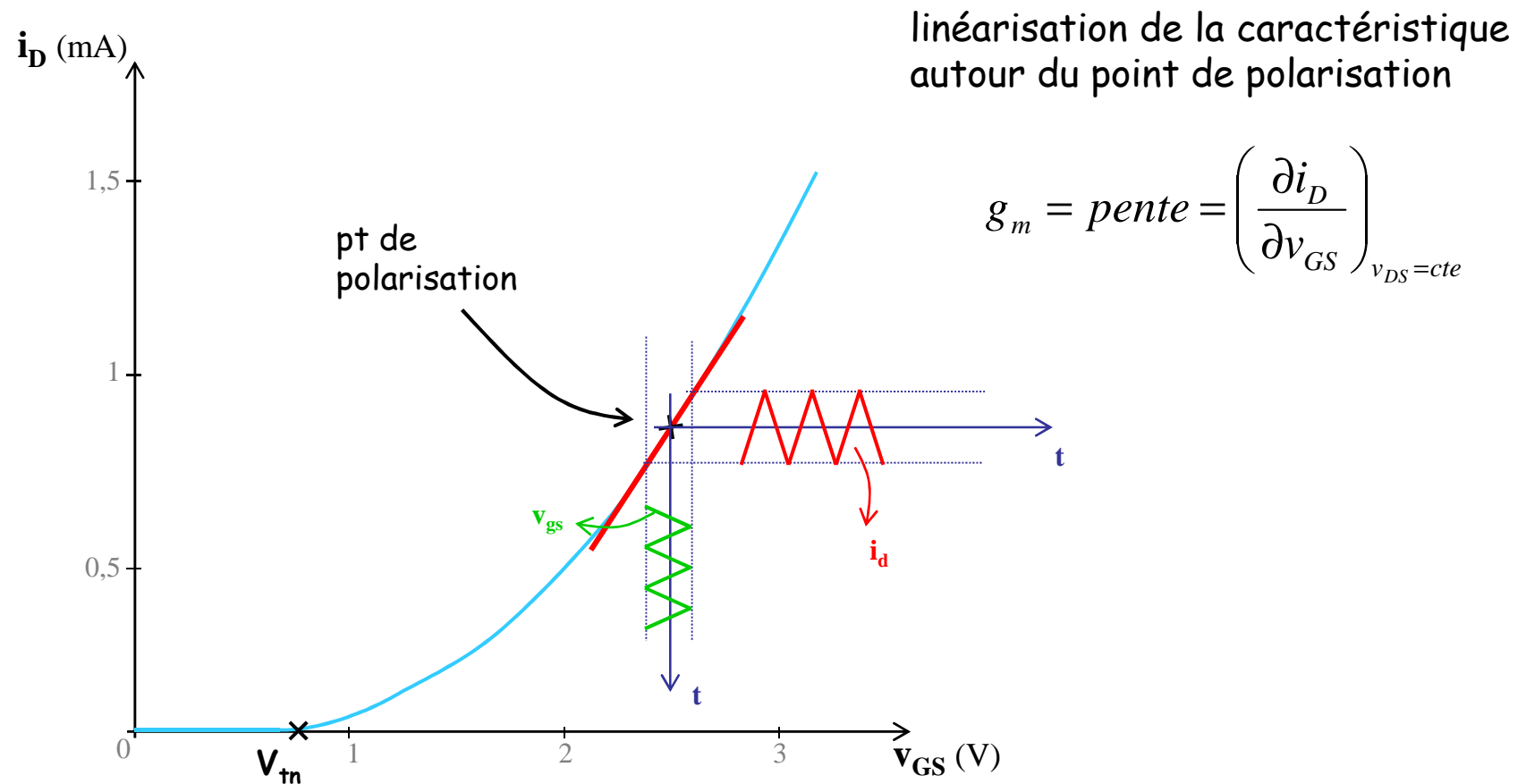
linéarisation de la caractéristique
autour du point de polarisation

$$g_m = \text{pente} = \left(\frac{\partial i_D}{\partial v_{GS}} \right)_{v_{DS} = \text{cte}}$$

II - Le transistor MOS en amplification

3 - Modèle équivalent petits signaux du MOS.

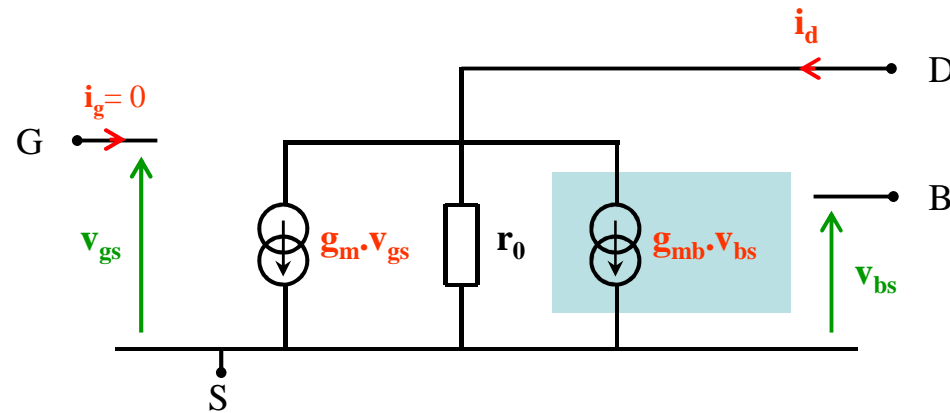
Interprétation graphique de la notion de transconductance :



II - Le transistor MOS en amplification

3 - Modèle équivalent petits signaux du MOS.

Intégration de l'effet de substrat dans le modèle :



body \approx 2^{ème} grille

$$g_{mb} = \chi \cdot g_m$$

tq $\chi = 0,1$ à $0,3$

Exercice 2.3 (TD2 p5)

$$R_G = 10 \text{ M}\Omega$$

$$R_D = 10 \text{ k}\Omega$$

$$R_L = 10 \text{ k}\Omega$$

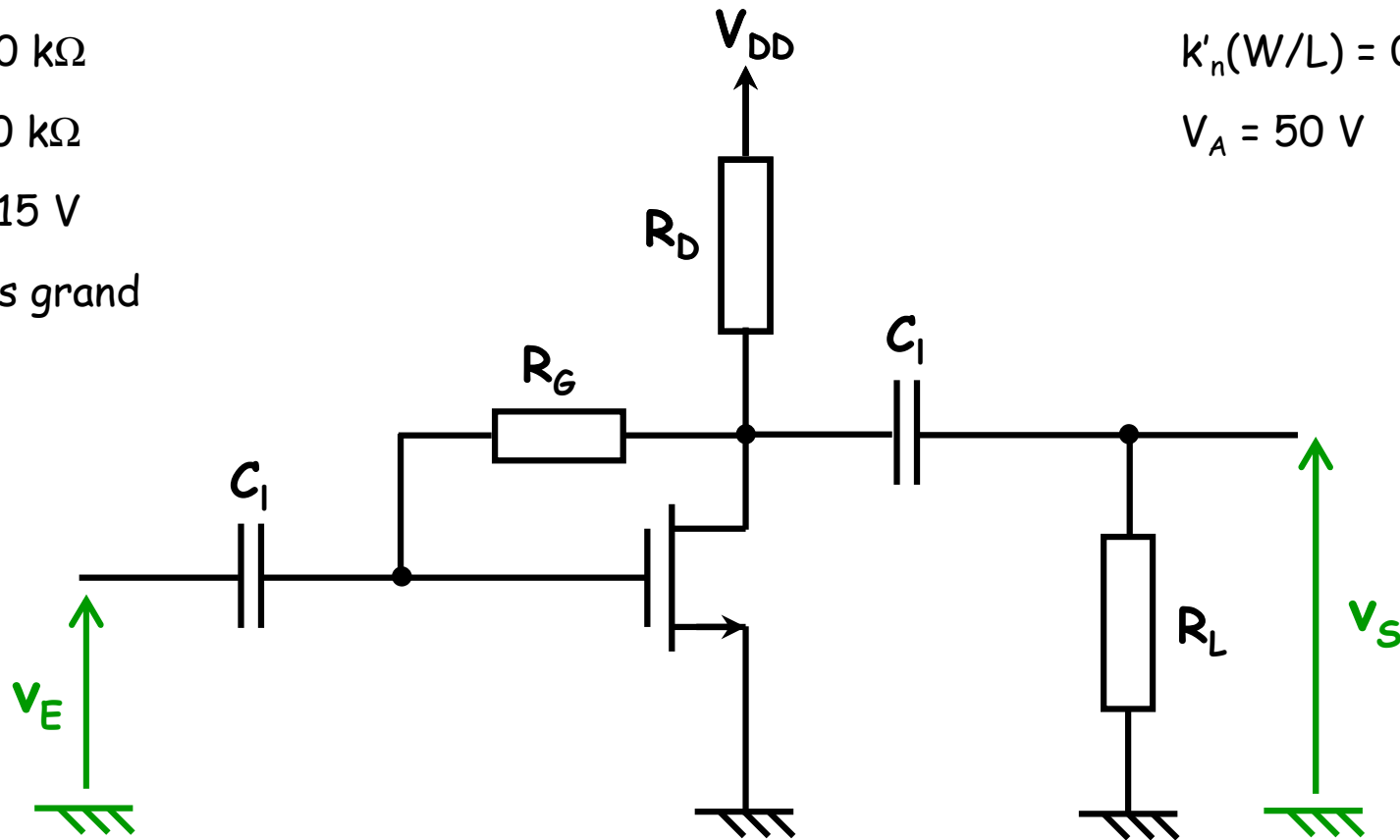
$$V_{DD} = 15 \text{ V}$$

C_L très grand

$$V_{tn} = 1,5 \text{ V}$$

$$k'_n(W/L) = 0,35 \text{ mA/V}^2$$

$$V_A = 50 \text{ V}$$



$$Z_{in} = ?$$

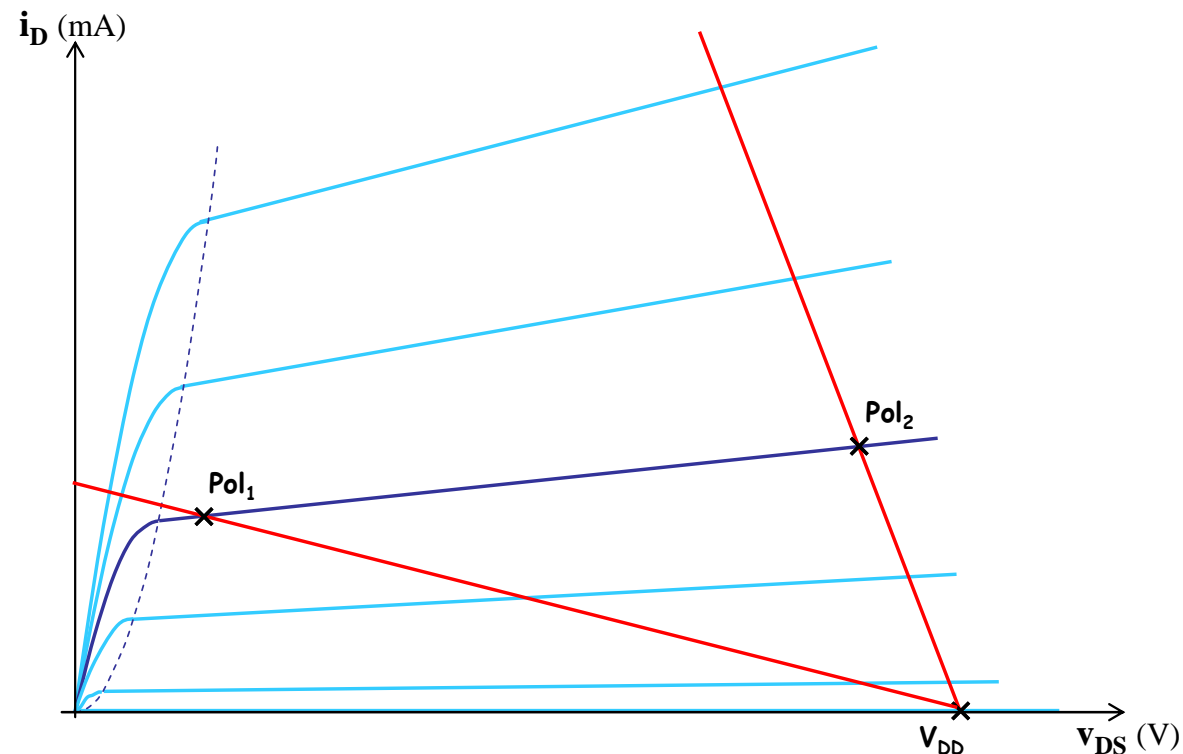
$$A_v = ?$$

$$V_{E_{max}} = ?$$

III - Polarisation, étude DC.

1 - Importance du choix du point de polarisation.

- choix du régime de fonctionnement du transistor
- réglage des paramètres p.s. (amplification / saturation)
- de l'excursion en sortie (amplification / saturation)



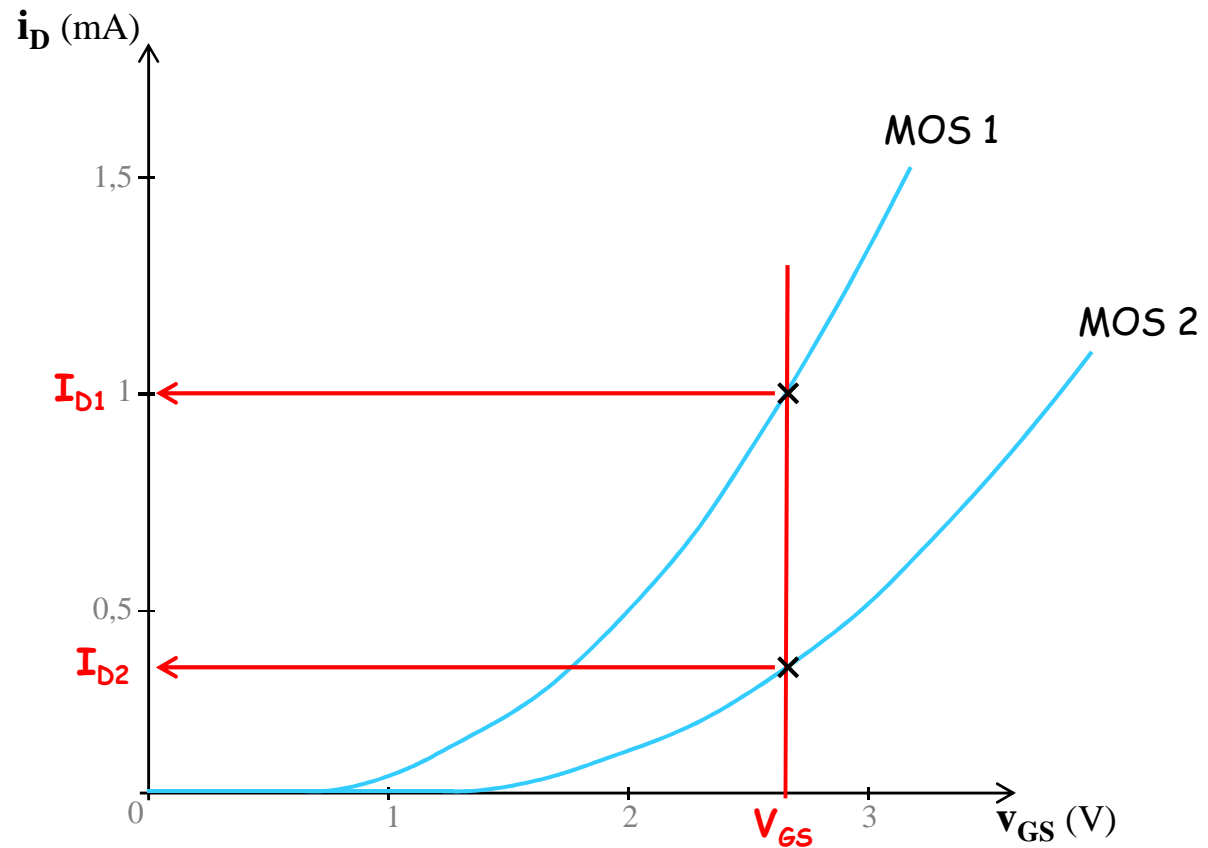
III - Polarisation, étude DC

2 - Polarisation de composants discrets.



Les valeurs de V_t , C_{ox} , et W/L varient fortement d'un composant à l'autre (y compris pour des composants de même référence).

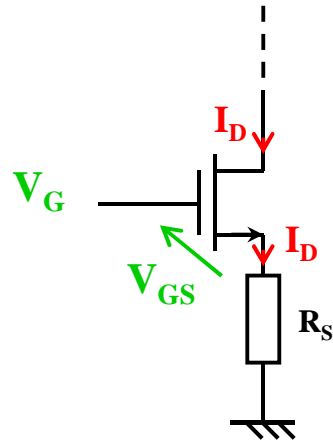
a. Fixer V_{GS} .



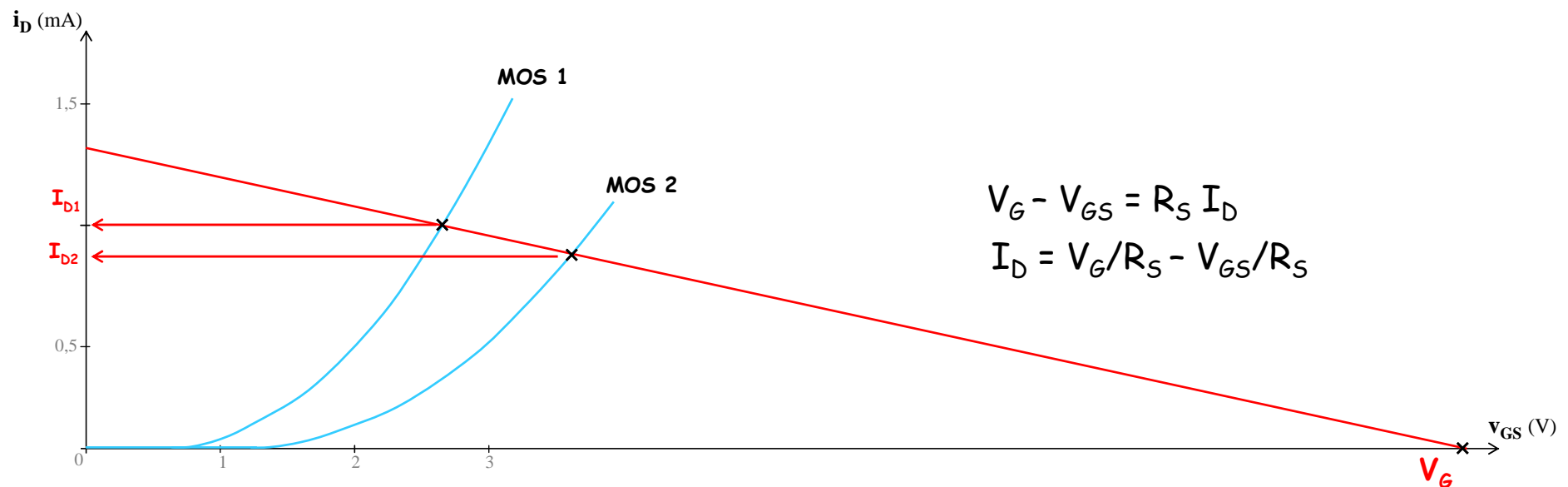
⇒ Polarisation de mauvaise qualité

III - Polarisation, étude DC

b. Fixer V_G et ajouter une résistance de source.

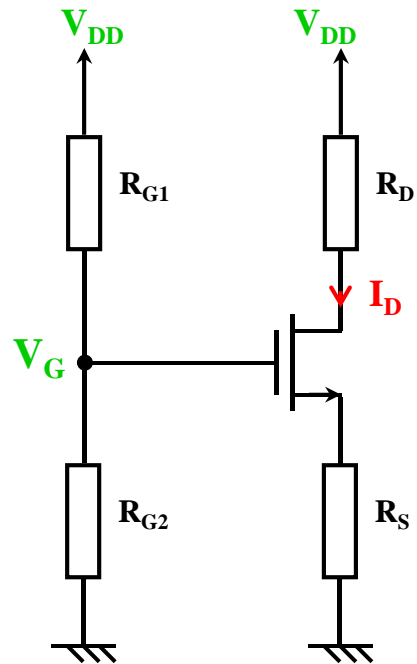


R_S : apport d'une contre-réaction négative
stabilisation de I_D

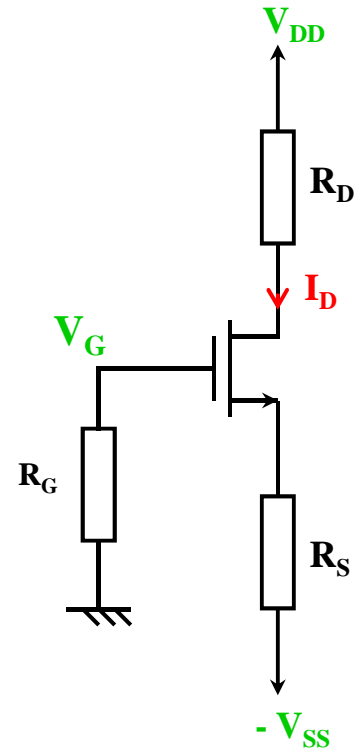


III - Polarisation, étude DC

Schémas de polarisation :



Alimentation simple



Alimentation double

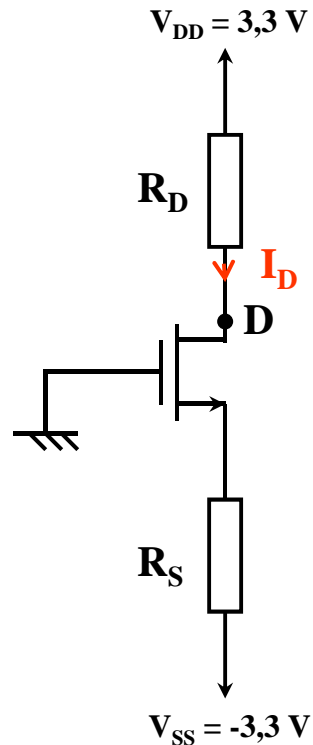
III - Polarisation, étude DC

c. Résistance de contre-réaction grille-drain.



Exercice 1.1 (TD1 p1)

NMOS : $V_{DD} = 3,3 \text{ V}$ $V_{tn} = 0,46 \text{ V}$ $k'_n = 175 \mu\text{A}/\text{V}^2$



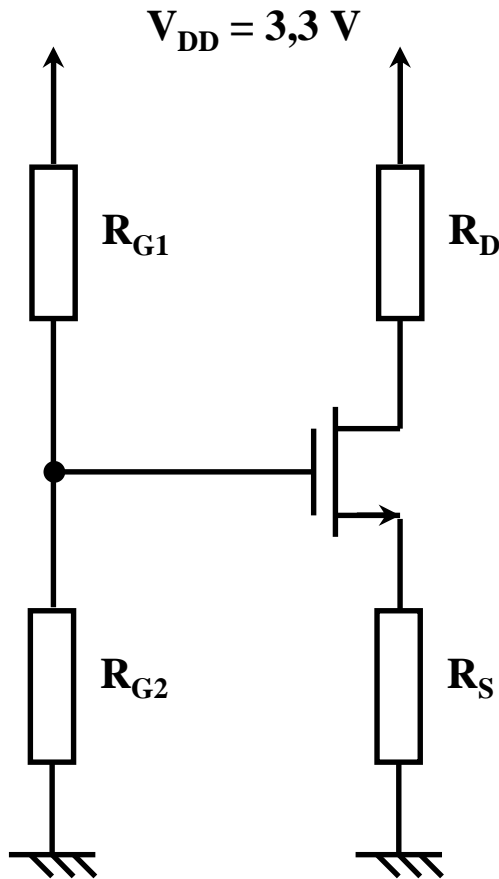
Dimensionner le circuit ci contre afin d'obtenir une polarisation du transistor telle que $I_D = 100 \mu\text{A}$ et $V_D = 1 \text{ V}$.

A quelle régime de fonctionnement correspond cette polarisation ?

On considère que la modulation de la longueur du canal est négligeable ($\lambda = 0$) et on prend $W = 40 \mu\text{m}$ et $L = 1 \mu\text{m}$.

Exercice 1.2 (TD1 p1)

NMOS : $V_{DD} = 3,3 \text{ V}$ $V_{tn} = 0,46 \text{ V}$ $k'_n = 175 \mu\text{A}/\text{V}^2$



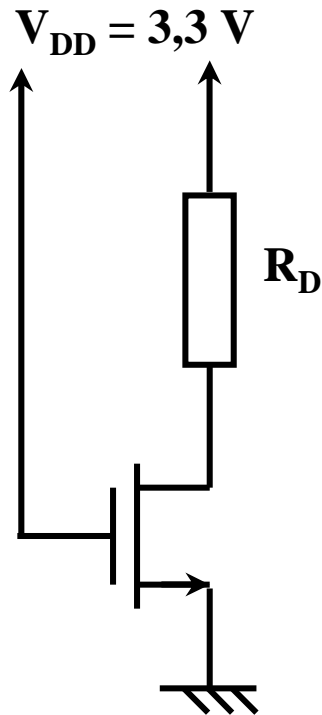
Donner le potentiel de chacun des nœuds et le courant circulant dans chacune des branches de ce circuit.

On prend $R_{G1} = R_{G2} = 5 \text{ M}\Omega$, $R_D = R_S = 10 \text{ k}\Omega$, $W = 30 \mu\text{m}$, $L = 1 \mu\text{m}$ et $\lambda = 0$.

Expliquer le choix des valeurs de R_{G1} et R_{G2} .

Exercice 1.5 (TD1 p2)

NMOS : $V_{DD} = 3,3 \text{ V}$ $V_{tn} = 0,46 \text{ V}$ $k'_n = 175 \mu\text{A}/\text{V}^2$



Dimensionner ce circuit de façon à avoir $V_D = 0,1 \text{ V}$.

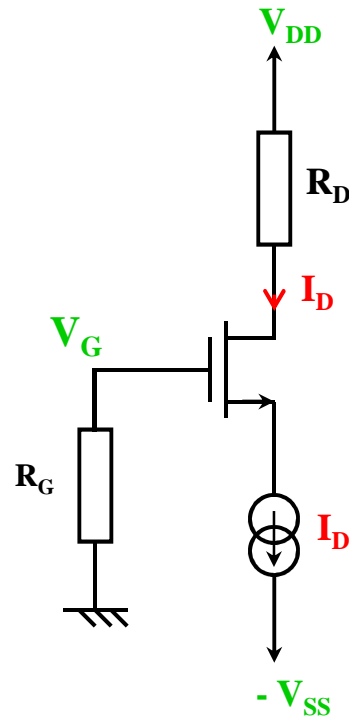
On prend $W = 6 \mu\text{m}$ et $L = 1 \mu\text{m}$.

Que vaut r_{DS} , la résistance drain source à ce point de polarisation ?

III - Polarisation, étude DC

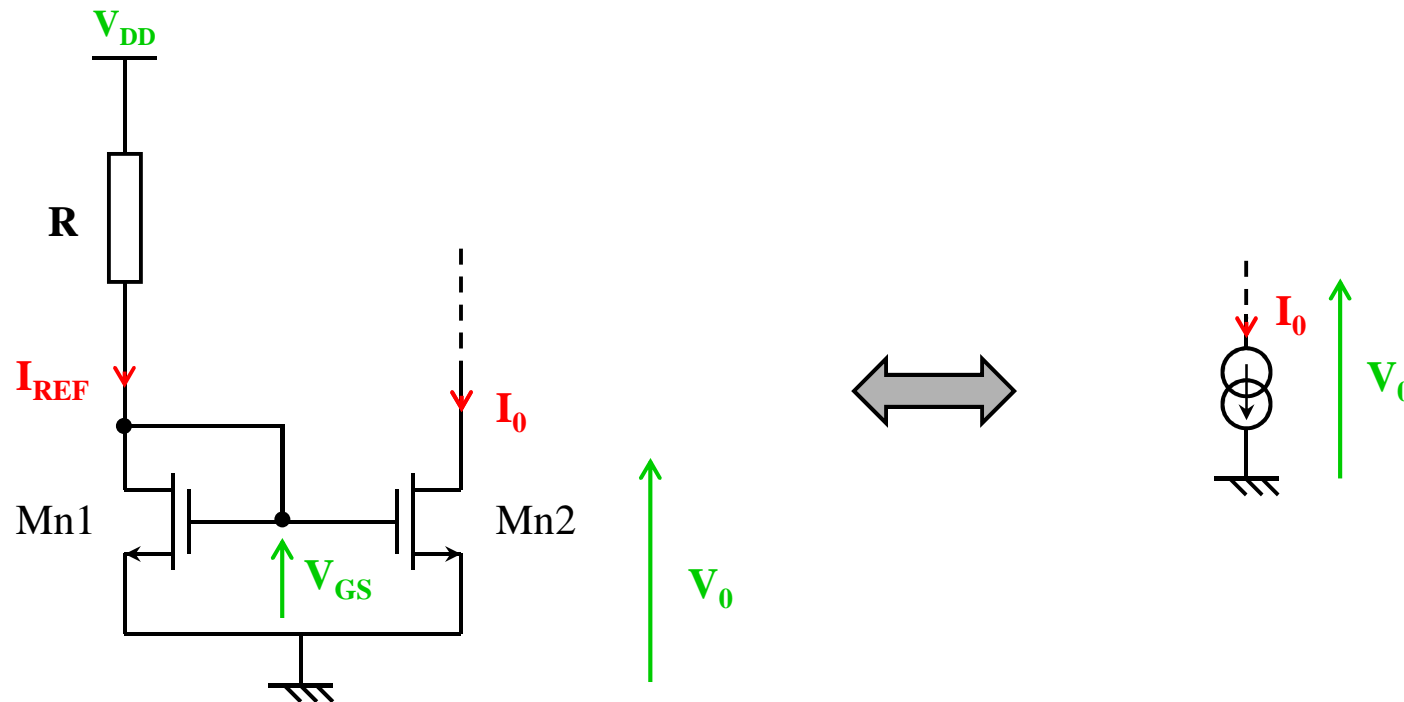
3 - Polarisation par source de courant.

a. principe.



III - Polarisation, étude DC

b. Source/Miroir de courant.



Mn1 et Mn2 en régime saturé :

$$I_{D1} = I_{REF} = \frac{V_{DD} - V_{GS}}{R}$$

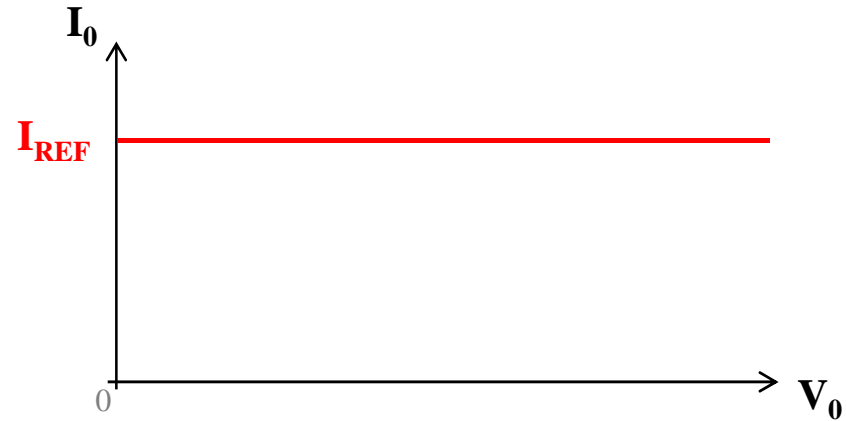
$$I_0 = I_{D2} = I_{REF} \cdot \frac{(W/L)_2}{(W/L)_1}$$

Miroir pour $I_0 = I_{REF}$

III - Polarisation, étude DC

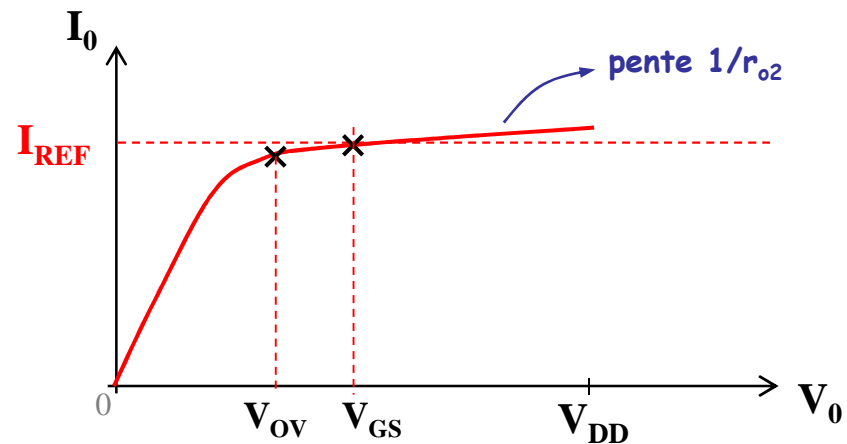
b. Source/Miroir de courant.

Source de courant idéale :

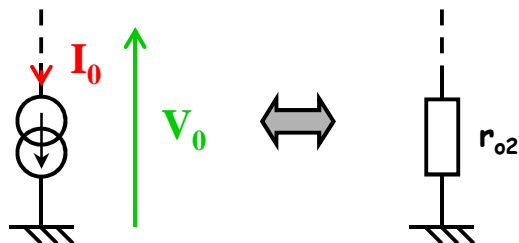


Source de courant MOS :

$\lambda \neq 0 \rightarrow r_{o2}$ finie
Saturation $Mn2$



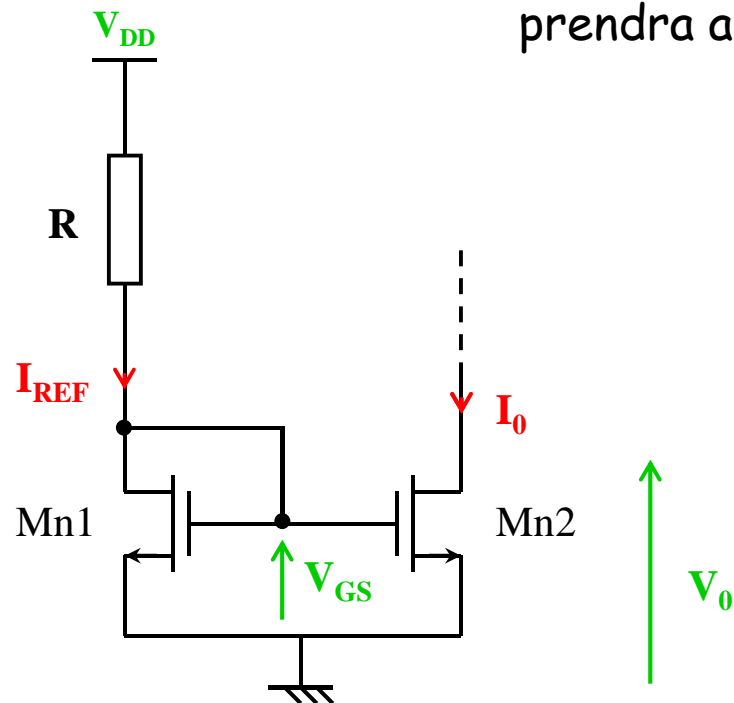
Modèle p.s. :



Exercice 3.1 (TD3 p6)

NMOS : $V_{DD} = 3,3 \text{ V}$ $V_{tn} = 0,46 \text{ V}$ $k'_n = 175 \mu\text{A}/\text{V}^2$

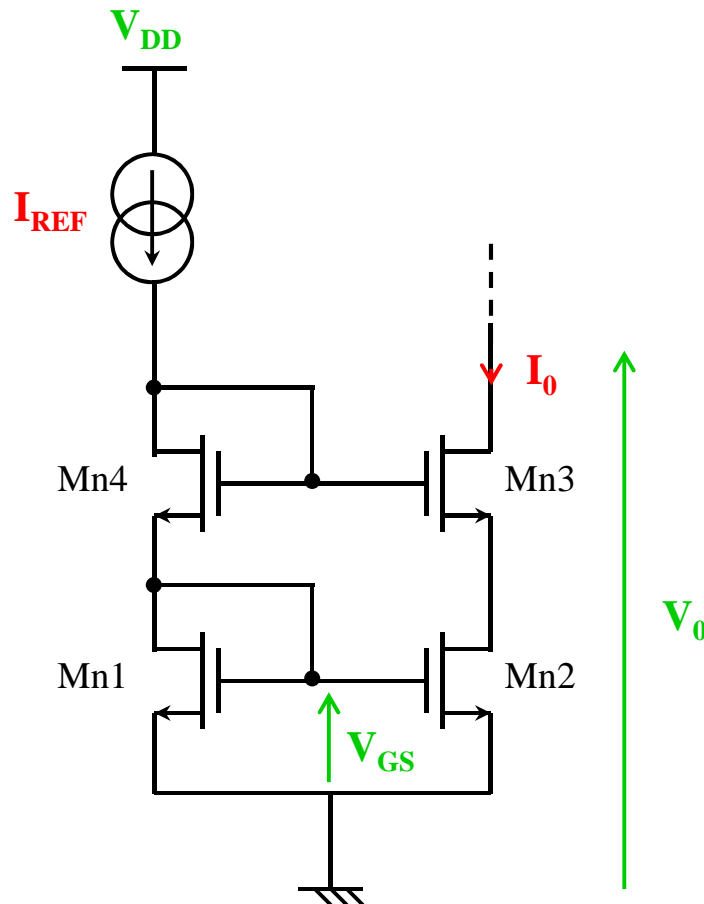
Proposer un design permettant de réaliser un miroir de courant tel que $I_0 = 100 \mu\text{A}$ et $V_{Omin} = 0,3 \text{ V}$ (on prendra arbitrairement $L = 2 \mu\text{m}$).



III - Polarisation, étude DC

b. Source/Miroir de courant.

Augmentation de la résistance de sortie : source cascode.



$$R_{out} = g_m r_{o2} r_{o3}$$

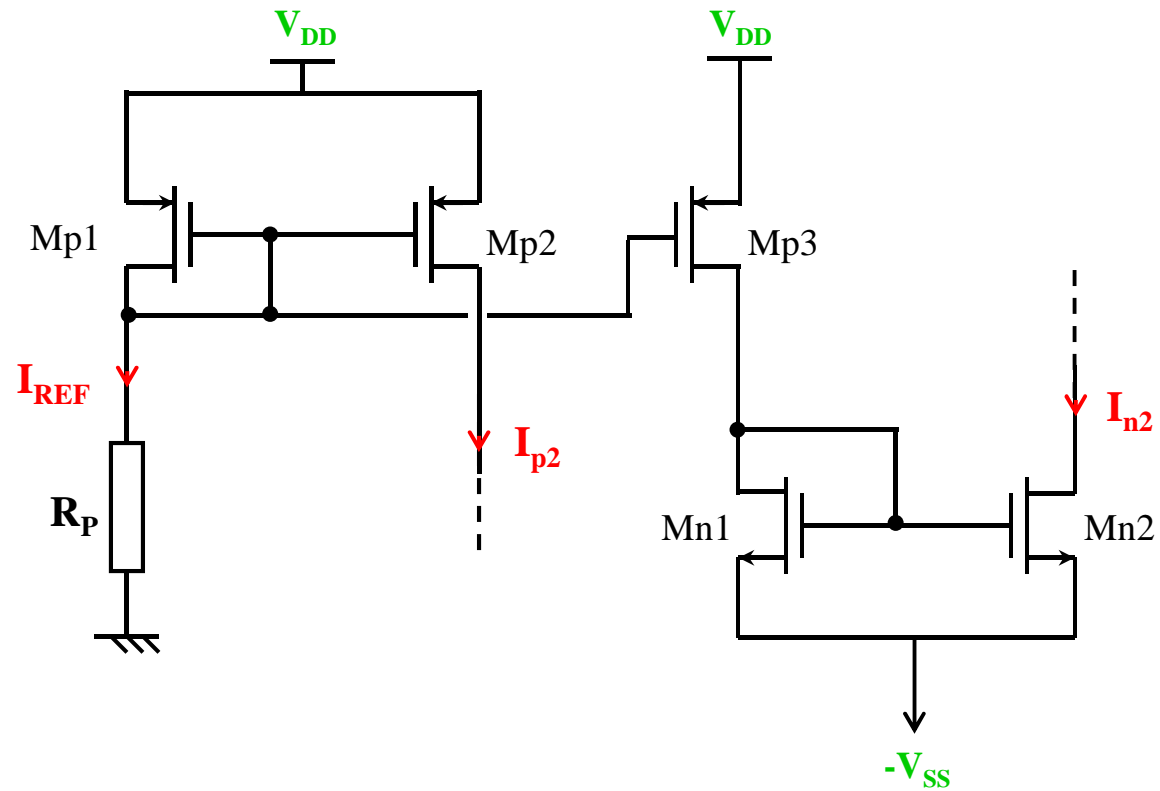
$$V_o \geq 2V_{GS} - V_{tn}$$

réduction
dynamique

III - Polarisation, étude DC

b. Source/Miroir de courant.

Distribution des courants de polarisation dans un circuit intégré :



IV - Etages amplificateurs élémentaires.

1 - Introduction - étage amplificateur.

- Besoins : Acquisition de grandeurs physiques:
 - température, pression, humidité...
- Capteur :
 - élément actif ou passif dont les caractéristiques varient avec la grandeur physique
 - Variation faibles avec peu d'énergie
 - $\mu\text{V}, \text{mV}, \mu\text{A}, \text{mA}, \mu\Omega, \text{m}\Omega$
- Nécessité : **Amplification**

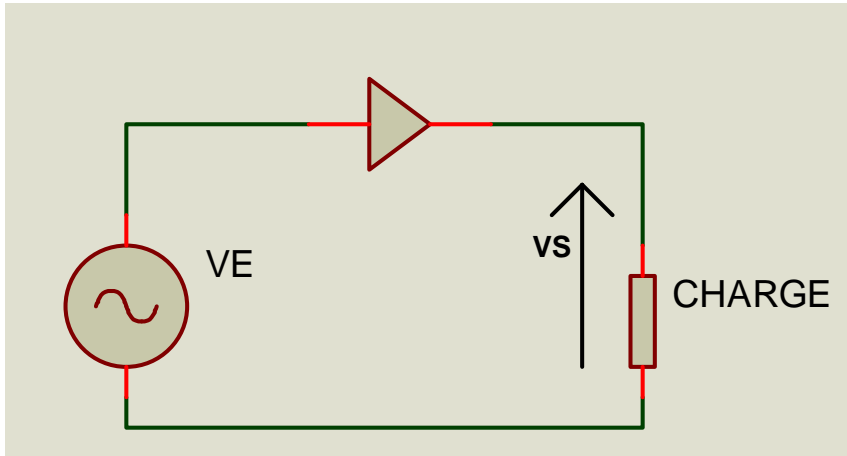
IV - Etages amplificateurs élémentaires

Critères de qualité-choix des amplificateurs :

- Linéarité - distorsion :
 - Le signal ne doit pas être déformé.
- Bande passante :
 - L'amplification doit être constante sur tout le spectre du signal amplifié.
- Forme de l'alimentation disponible :
 - Simple ou double.
- Rendement :
 - $\eta = \text{puissance utile} / \text{puissance consommée}$.

IV - Etages amplificateurs élémentaires

Amplification (en tension) :

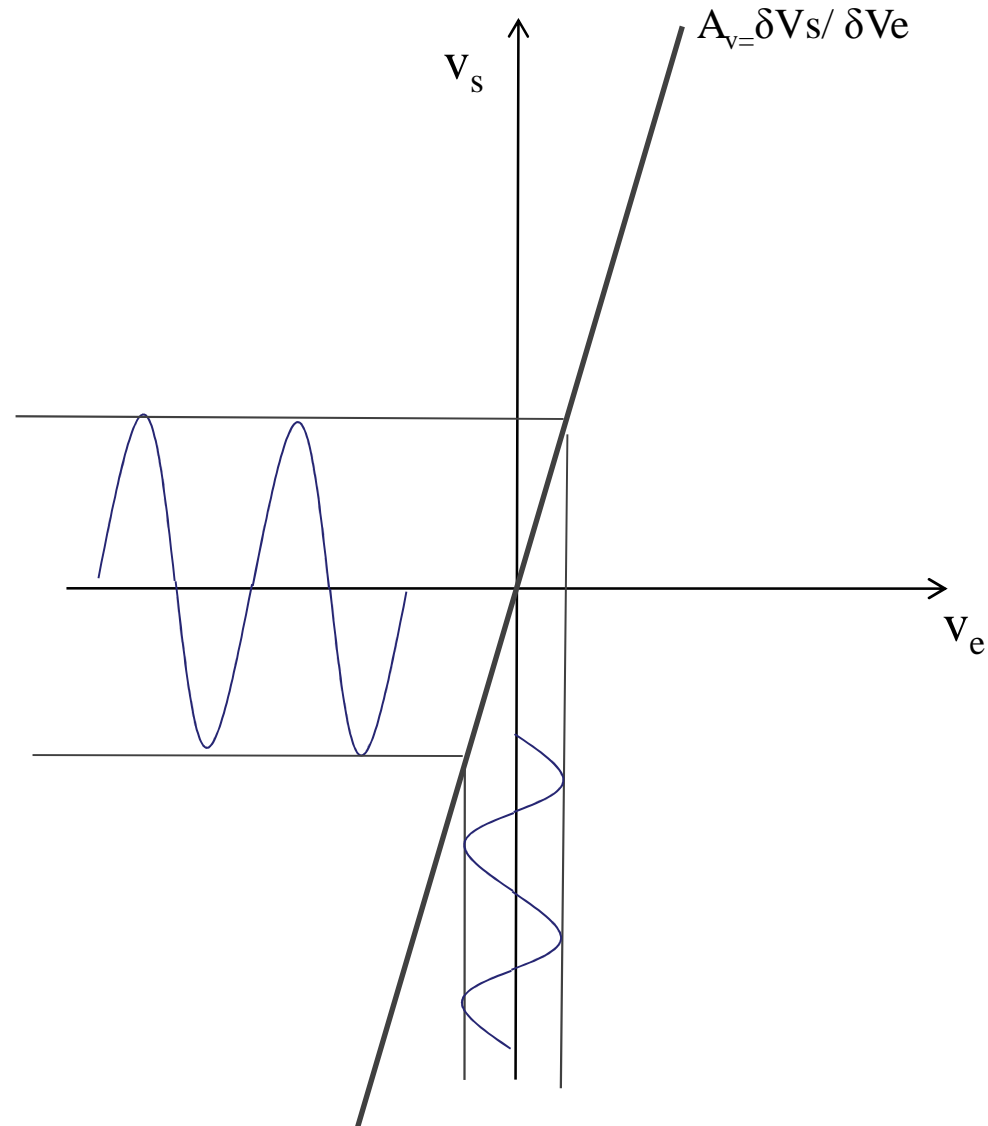


A_v est linéaire :

$$v_s(0) = v_e(0)$$

$$v_s(\infty) = A_v \cdot v_e(\infty)$$

La réalité est bien différente !!!

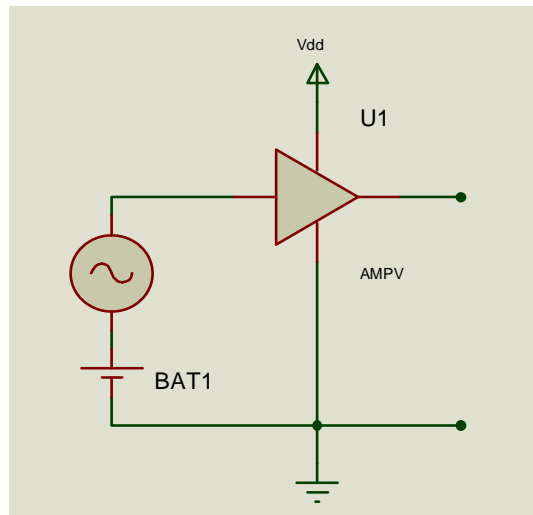


IV - Etages amplificateurs élémentaires

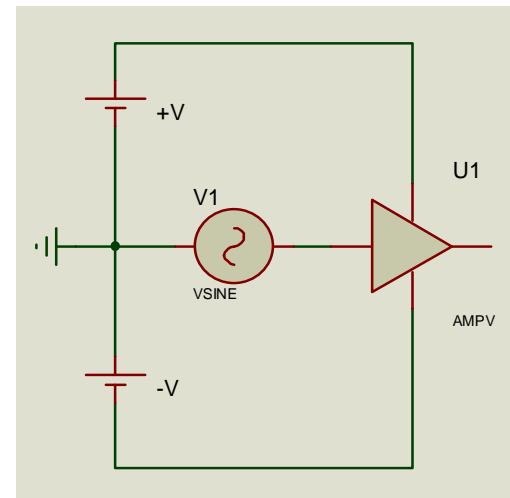
Alimentations

→ apporte l'énergie au système.

→ permet la polarisation.



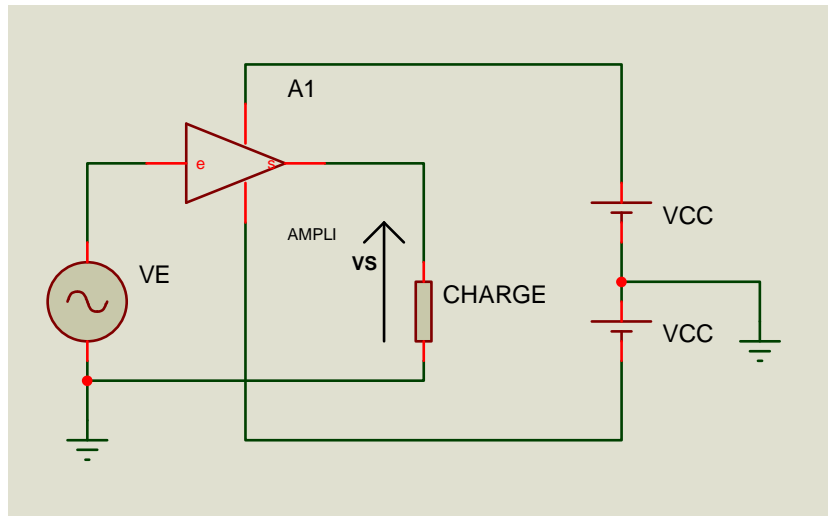
Simple



Double

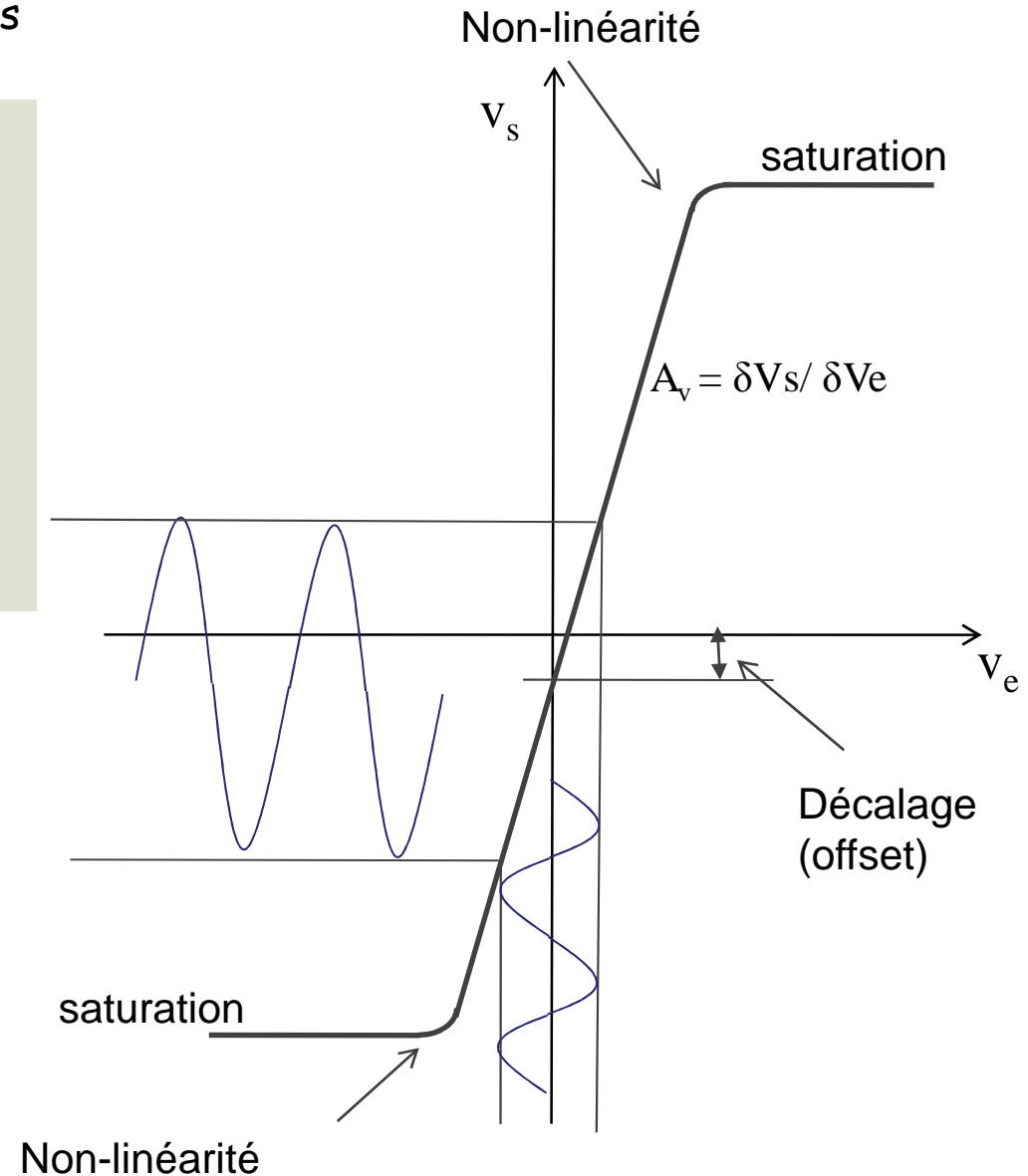
IV - Etages amplificateurs élémentaires

Amplificateur réel : → défauts



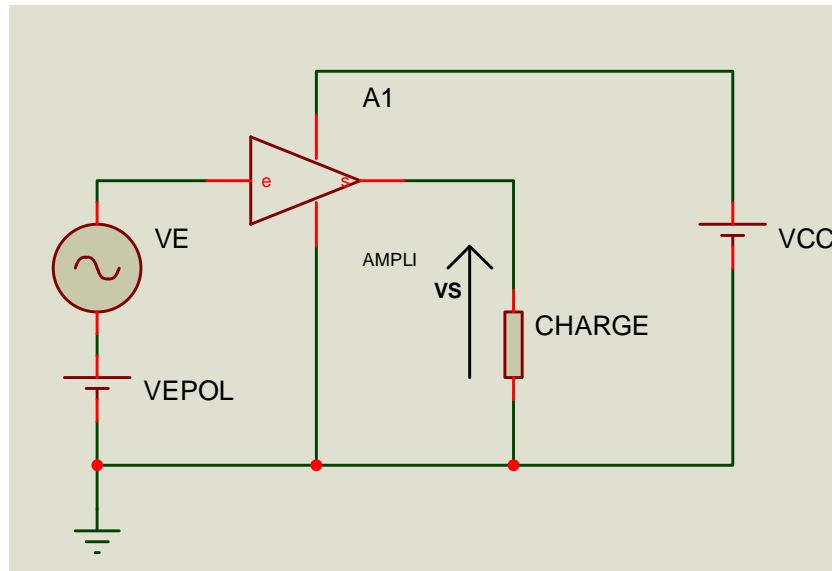
Les choses se compliquent, V_s peut être :

- Déformée (non linéarité)
- Ecrêtée (saturation)
- Posséder une composante continue (offset)



IV - Etages amplificateurs élémentaires

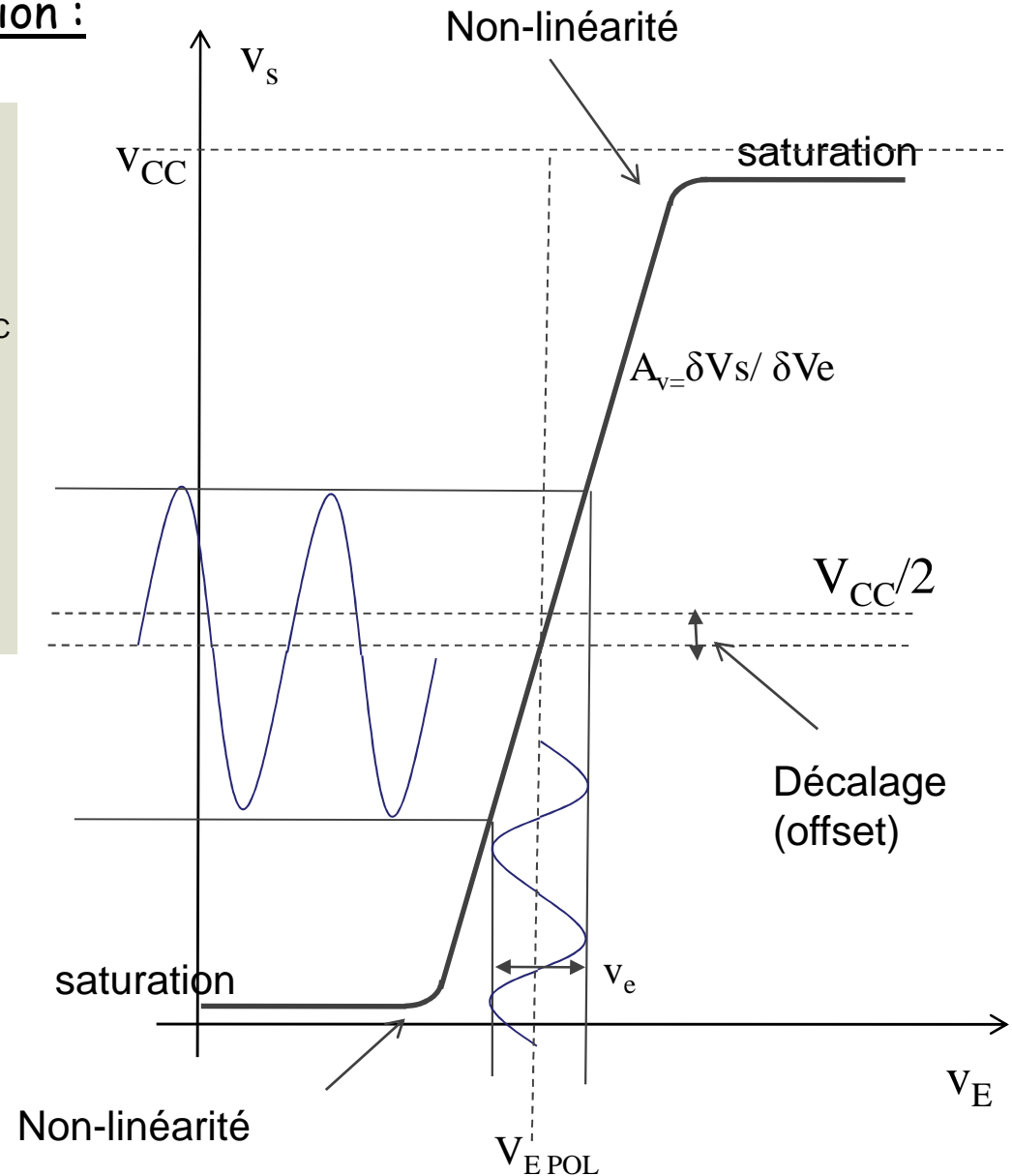
Cas d'un amplificateur mono tension :



$v_s(t)$ se déplace autour du point de repos, généralement $V_{CC}/2$

$$V_E = V_{E\text{POL}} + v_e$$

$$v_s = V_{CC}/2 + v_s$$



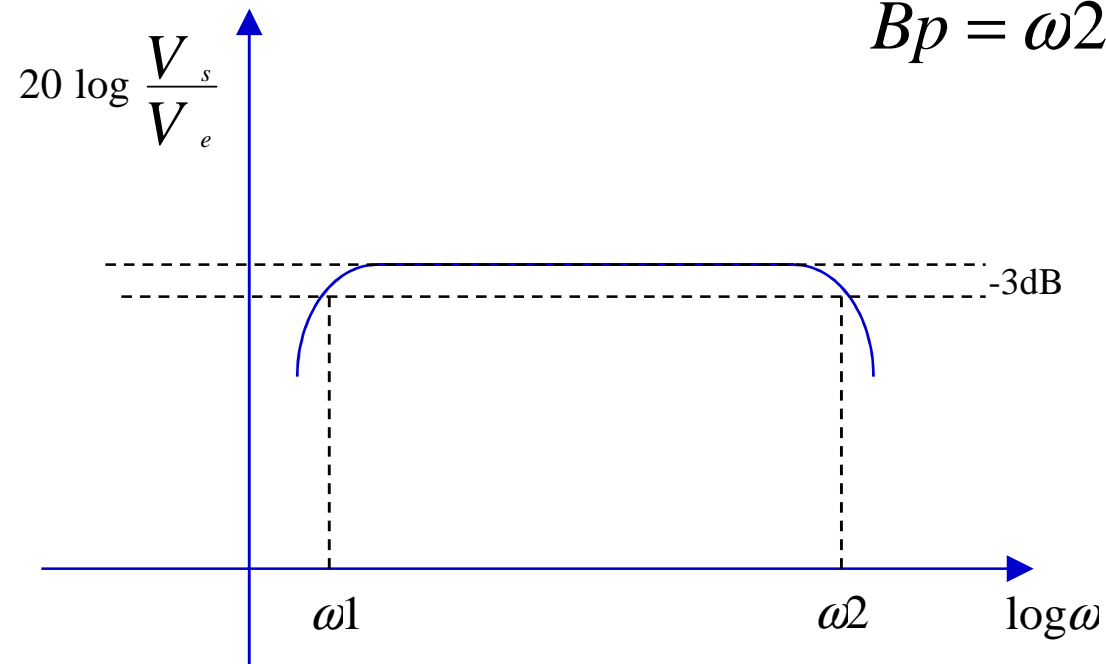
IV - Etages amplificateurs élémentaires

Bande passante :

tracée dans le diagramme de Bode.

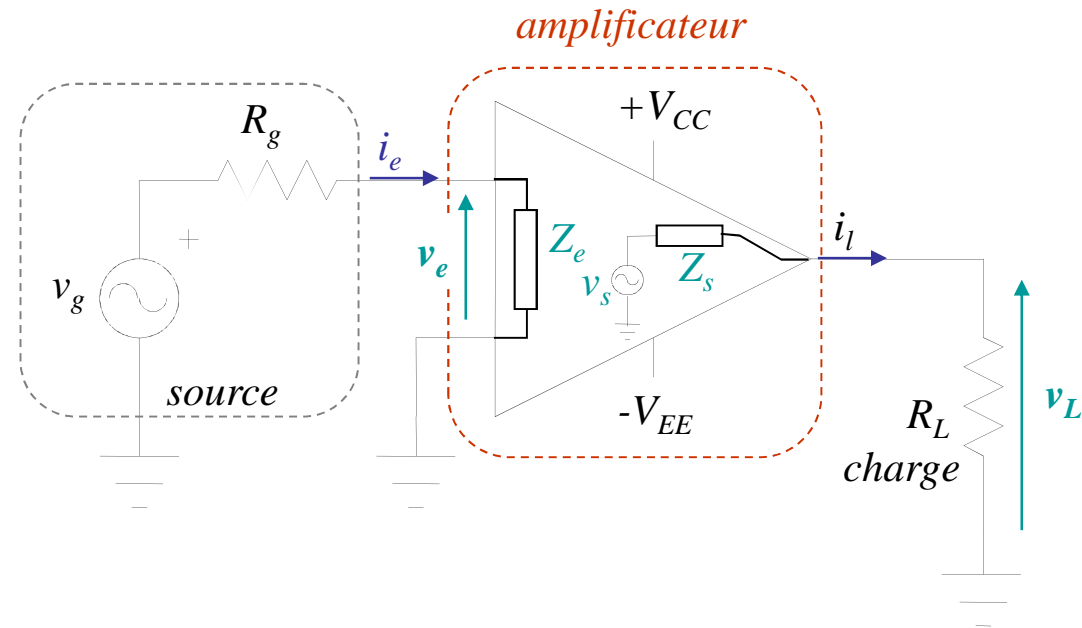
ω_1, ω_2 pulsations de coupure à -3dB

$$Bp = \omega_2 - \omega_1$$



IV - Etages amplificateurs élémentaires

Modèle d'un amplificateur :



- **Fonction:** amplifier la **puissance** du “signal”
- tout amplificateur est **alimentée** par une source d'énergie **externe** (ici: V_{CC} **et (ou)** V_{EE})
- L'**entrée** de l'amplificateur est caractérisée par son **impédance d'entrée** $Z_e = \frac{v_e}{i_e}$
- La **sortie** agit comme une **source de tension** v_s caractérisée par son **impédance de sortie** Z_s
☞ $Z_s =$ **résistance de Thévenin** équivalent au circuit vu par R_L

IV - Etages amplificateurs élémentaires

● Gain en tension :

Comme $Z_s \neq 0$ le gain en tension **dépend** de la charge

Définitions

Gain "en circuit ouvert" :
$$A_v = \left. \frac{v_L}{v_e} \right|_{R_L = \infty} = \frac{v_s}{v_e}$$

Gain "sur charge" :
$$A_{vL} = \frac{v_L}{v_e} = \frac{R_L}{R_L + Z_s} A_v$$

Gain "composite":
(tient compte de la
résistance de sortie de la
source)

$$A_{vc} = \frac{v_L}{v_g} = \frac{Z_e}{R_g + Z_e} A_{vL}$$

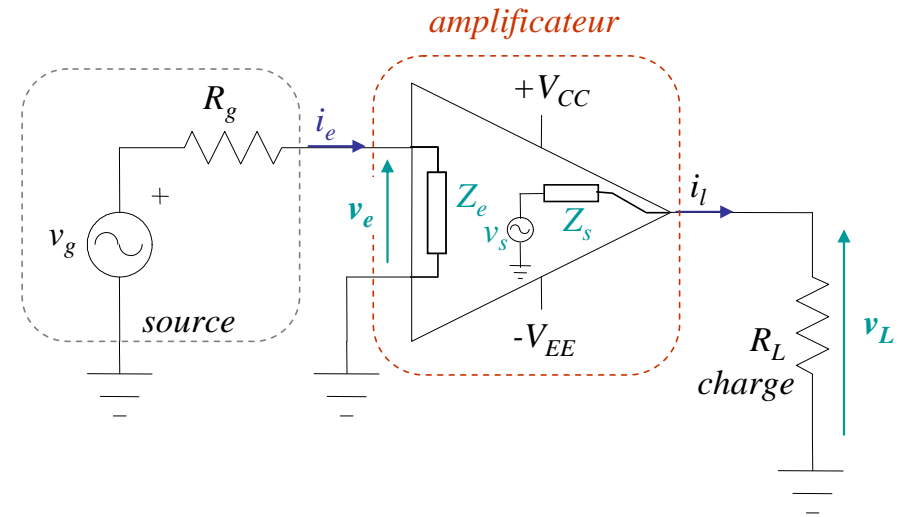
Comme $Z_e \neq \infty$, A_{vc} diffère de A_{vL}

● Gain en courant :

$$A_i = \frac{i_L}{i_e} = \frac{A_{vL} Z_e}{R_L}$$

● Gain en puissance :

$$A_p = \frac{v_L i_L}{v_g i_e} = A_{vc} \cdot A_i$$



Expression du gain en dB :

Tension : $20 \log |A_v|$

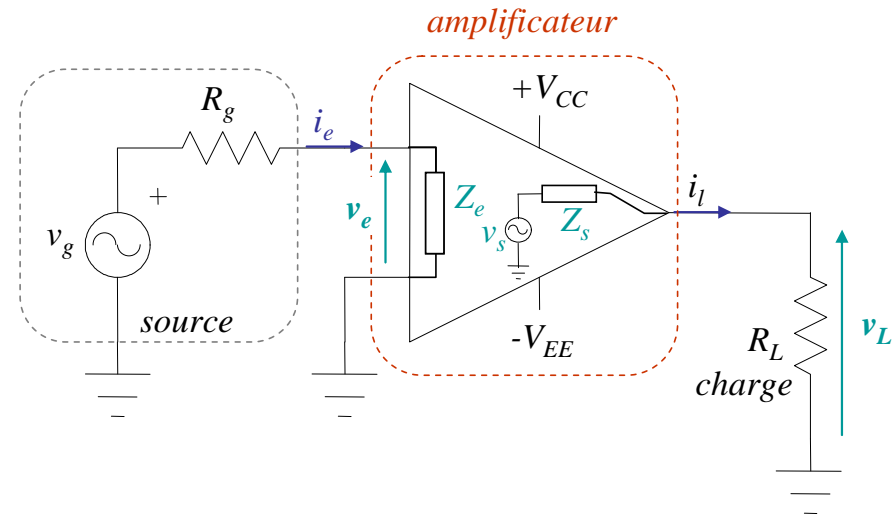
Courant : $20 \log |A_i|$

Puissance : $10 \log |A_p|$

IV - Etages amplificateurs élémentaires

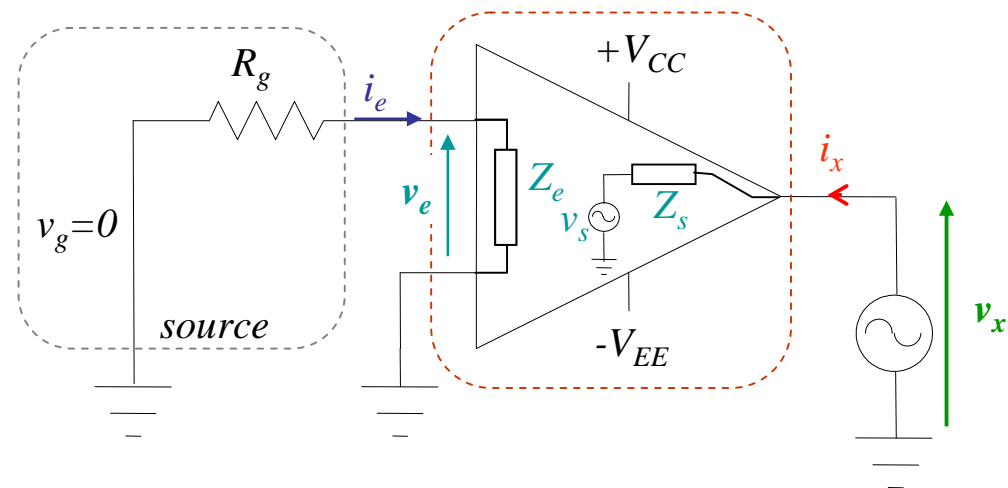
- Impédance d'entrée :

$$Z_e = \frac{v_e}{i_e}$$



- Impédance de sortie :

$$Z_s = \left. \frac{v_x}{i_x} \right|_{v_g=0}$$



IV - Etages amplificateurs élémentaires

☞ *L'amplificateur "idéal" :*

- Gains indépendants de l'**amplitude** et de la **fréquence** (forme) du signal d'entrée
- Impédance d'**entrée élevée** → peu de perturbation sur la **source**
- Impédance de **sortie faible** → peu d'influence de la charge

☞ *La réalité...*

Domaine de linéarité : distorsion du signal pour des amplitudes trop élevées

Nonlinéarité des caractéristiques électriques des composants

la tension de sortie ne peut dépasser les tensions d'alimentation

Bande passante limitée : le gain est fonction de la fréquence du signal

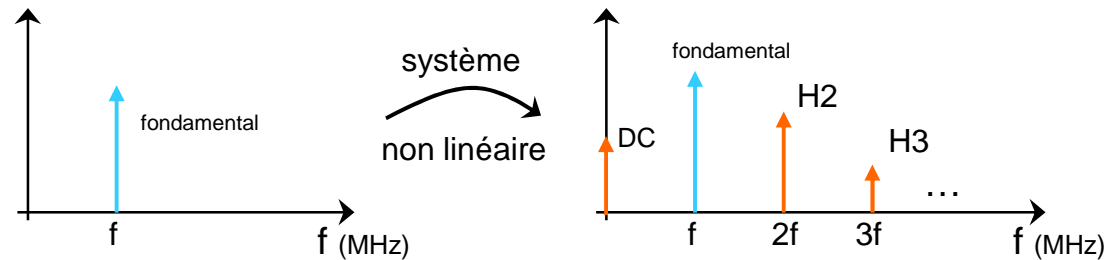
capacités internes des composants

condensateurs de liaison

Impédances d'entrée (sortie) dépendent de la fréquence

IV - Etages amplificateurs élémentaires

Distorsion harmonique :



Taux de distorsion harmonique (Total Harmonic Distorsion) :

$$THD = \sqrt{\frac{\sum_{k \geq 2} a_k^2}{a_1^2}} = \frac{\sqrt{\sum_{k \geq 2} a_k^2}}{a_1} = \frac{V_{eff, harmoniques}}{V_{eff, fondamentale}}$$

avec

	a_1 : valeur efficace du fondamental
	a_k : valeur efficace de l'harmonique de rang k

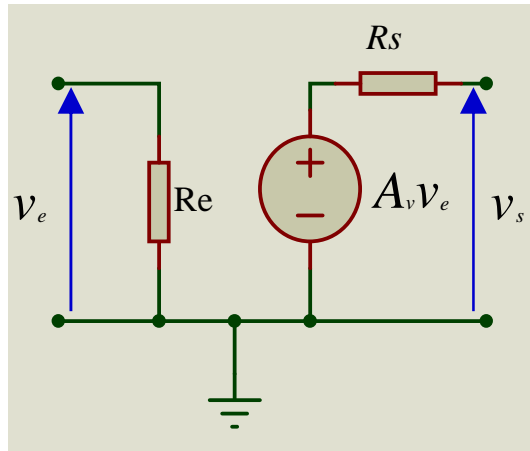
IV - Etages amplificateurs élémentaires

Défauts sur les impédances :

- Un amplificateur idéal :
 - Ne consommerait aucune énergie en entrée : résistance d'entrée ∞ quelque soit la fréquence.
 - Pourrait produire une puissance infinie: résistance de sortie nulle quelque soit la fréquence.
 - ON NE SAIT PAS FABRIQUER CELA

IV - Etages amplificateurs élémentaires

Modèles réels des amplificateurs :

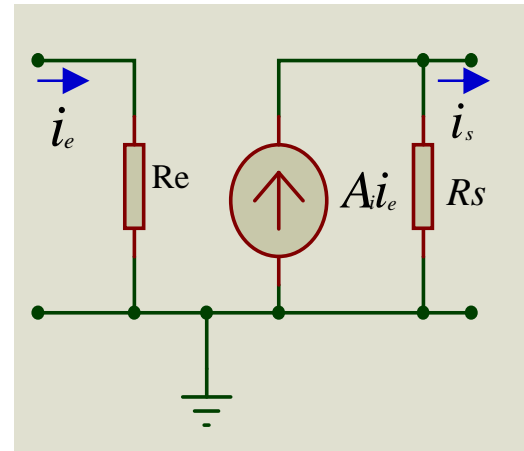


tension

$$A_v \equiv \left. \frac{v_s}{v_e} \right|_{i_s=0}$$

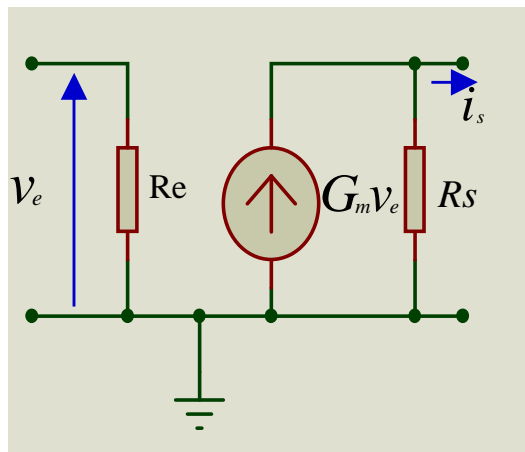
$$R_e \equiv \left. \frac{v_e}{i_e} \right|_{v_s=0}$$

$$R_s \equiv \left. \frac{v_s}{i_s} \right|_{v_e=0} = 0$$



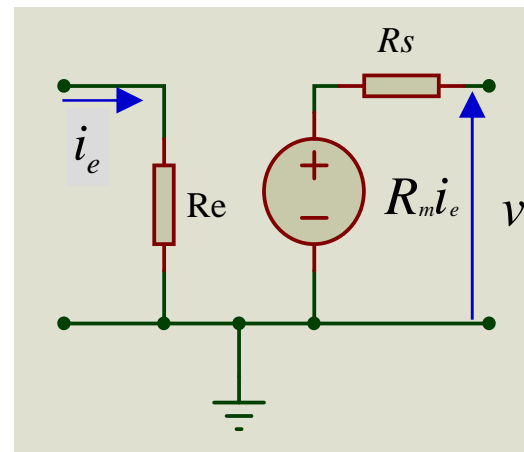
courant

$$A_i \equiv \left. \frac{i_s}{i_e} \right|_{v_s=0}$$



transconductance

$$G_m \equiv \left. \frac{i_s}{v_e} \right|_{v_s=0}$$



transrésistance

$$R_m \equiv \left. \frac{v_s}{i_e} \right|_{i_s=0}$$

IV - Etages amplificateurs élémentaires

Couplage entre étages - association de plusieurs types d'amplificateurs :

Objectif

Coupler plusieurs “étages” pour améliorer les propriétés du circuit...

Exemple : Amplificateur avec

- **gain** en tension **élevé**
- faible **distorsion**
- bonne **stabilité** (thermique, dispersion)
- impédance d'**entrée élevée**
- impédance de **sortie faible**

Solution possible :

- stabilité et faible distorsion \leftrightarrow **ampli stabilisé**
- gain élevé \leftrightarrow plusieurs étages en cascades
- Z_e élevée \leftrightarrow étage à forte impédance d'entrée
- Z_s faible \leftrightarrow étage à faible impédance de sortie

Difficultés du couplage :

- ◆ Polarisation de chaque étage
- ◆ Gain sur charge : chaque étage “charge” l'étage précédent
- ◆ Réponse en fréquence de l'ensemble (cf. couplage capacitif)

IV - Etages amplificateurs élémentaires

Couplage et adaptation d'impédance :

L'adaptation d'impédance doit être vu sous deux aspects :

- Associer des circuits
- Transmettre une puissance maximal

-On cherche à optimiser R_g et R_L

En entrée : on cherche $v_e = v_g$, cette condition sera d'autant plus satisfaite que R_g sera petite devant R_e



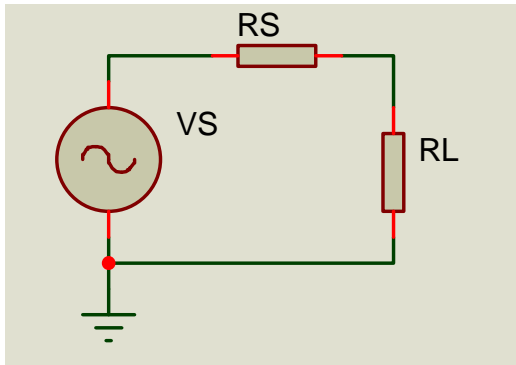
$$V_e = V_g \frac{R_e}{R_e + R_g}$$

En sortie : On souhaite transmettre le maximum de puissance à la charge (un haut parleur par exemple), une approche intuitive amène à penser que R_L doit être la plus petite possible (IL max) ...



IV - Etages amplificateurs élémentaires

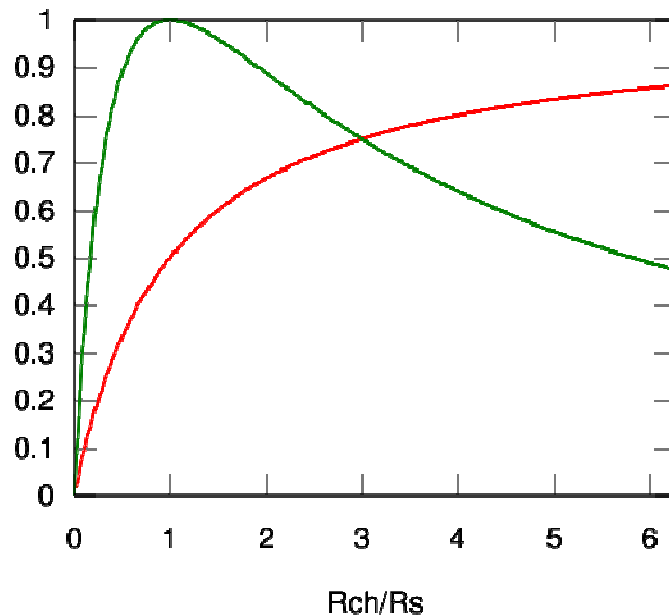
Adaptation d'impédance en puissance :



$$P = \frac{V_L^2}{R_L}$$

$$V_L = V_s \frac{R_L}{R_L + R_S}$$

$$P = \frac{V_s^2 \cdot R_L}{(R_L + R_s)^2}$$



$$\frac{dP}{dR_L} = V_s^2 \cdot \frac{R_s - R_L}{(R_s + R_L)^3}$$

**P dans RL est max pour
RL=RS**

En vert : $P/P_{Max} = f(R_L/R_S)$

En rouge : le rendement P_{RL}/P_{VS}

Exercice

Un capteur délivre un signal de tension efficace $V_{eff} = 10\text{mV}$ et possède une impédance interne $r_g = 500\Omega$.

Ce signal est destiné à attaquer un haut-parleur (HP) d'impédance 10Ω .

1. Quelle est la puissance fournie au HP par le capteur quand ils sont directement connectés ?

Le tableau suivant donne les caractéristiques de 2 types d'amplificateurs disponibles :

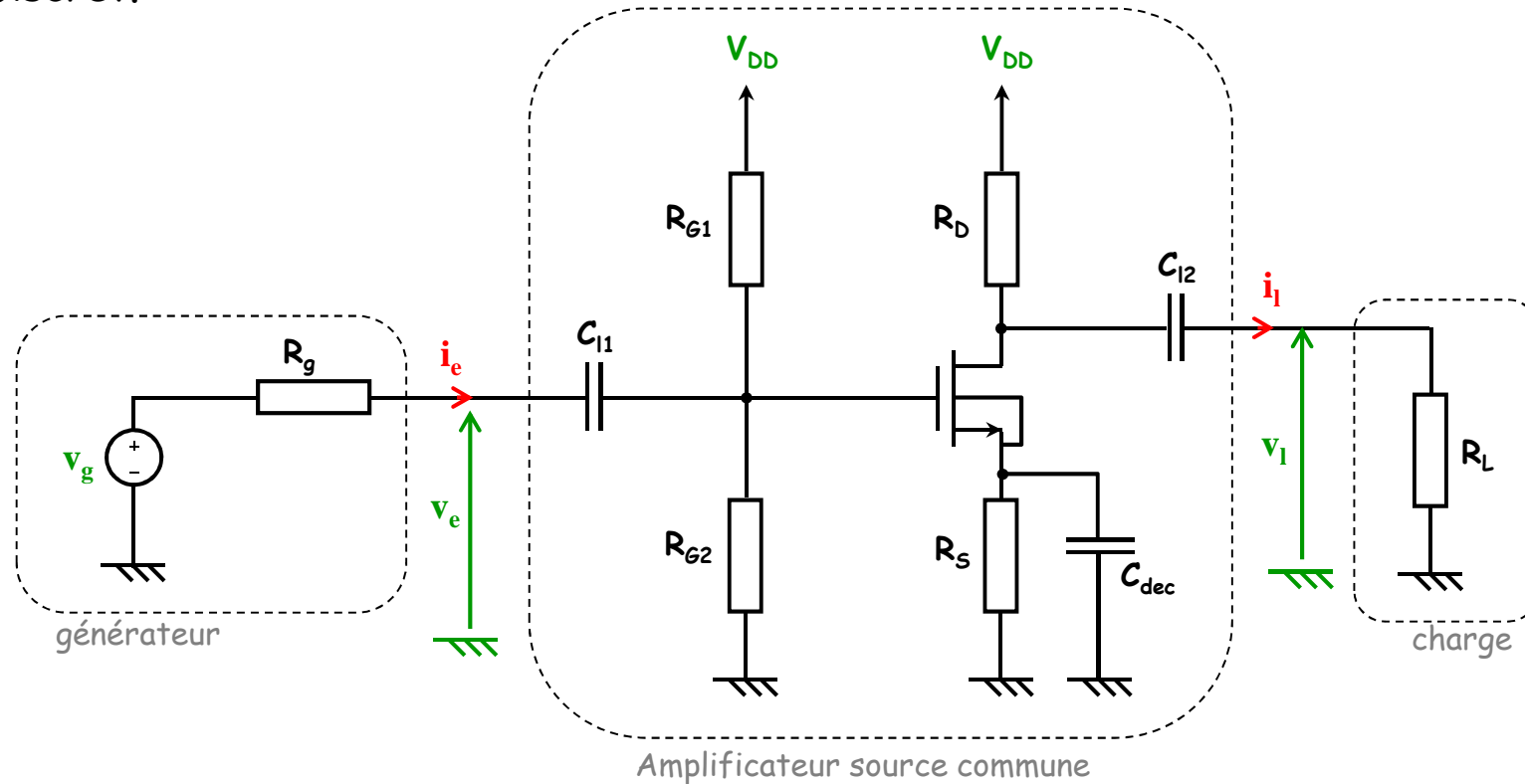
	Impédance d'entrée r_i	Amplification en tension A_v	Impédance de sortie r_o
Type I	$10^6\Omega$	50	5 k Ω
Type II	$10^6\Omega$	1	10 Ω

2. Quelle tension efficace faut-il fournir en entrée de chacun des deux amplificateurs pour délivrer une puissance de 10W au HP ?
3. On dispose de plusieurs amplificateurs de type I et II. Quel montage permet de délivrer une puissance de 10 W au HP à partir du capteur ?

IV - Etages amplificateurs élémentaires

2 - Amplificateur source commune.

a. Discret.



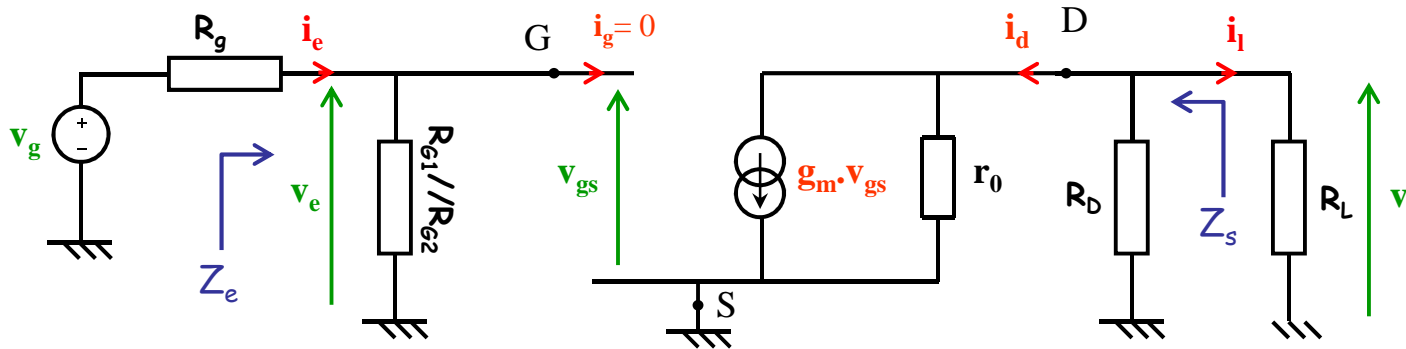
C_{dec} : capacité de découplage (qqs 10^{aines} μF)

C_{11} , C_{12} : capacités de liaison (qqs 10^{aines} μF)

Rôle, comportement ?

IV - Etages amplificateurs élémentaires

Schéma équivalent petits signaux :



Impédance d'entrée :

$$Z_e = i_e / v_e = R_{G1} // R_{G2}$$

Impédance de sortie :

$$Z_s = r_0 // R_D$$

Gain en circuit ouvert :

$$A_v = \left. \frac{v_l}{v_e} \right|_{R_L = \infty} = -g_m (r_0 // R_D) < 0$$

Gain en charge :

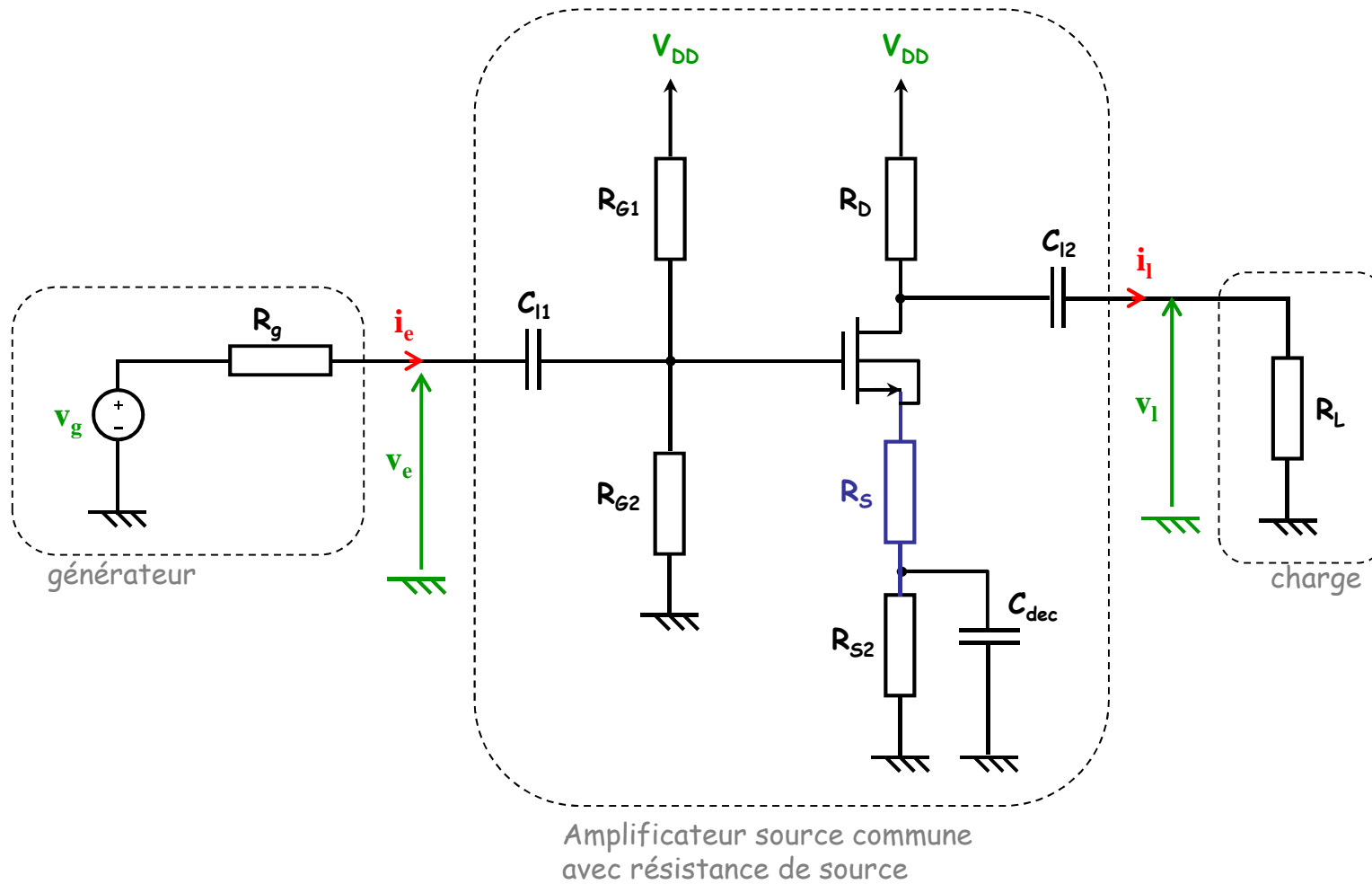
$$A_{vL} = \frac{v_l}{v_e} = -g_m (r_0 // R_D // R_L)$$

Gain composite :

$$A_{vc} = \frac{v_l}{v_g} = - \frac{R_{G1} // R_{G2}}{(R_{G1} // R_{G2}) + R_g} g_m (r_0 // R_D // R_L)$$

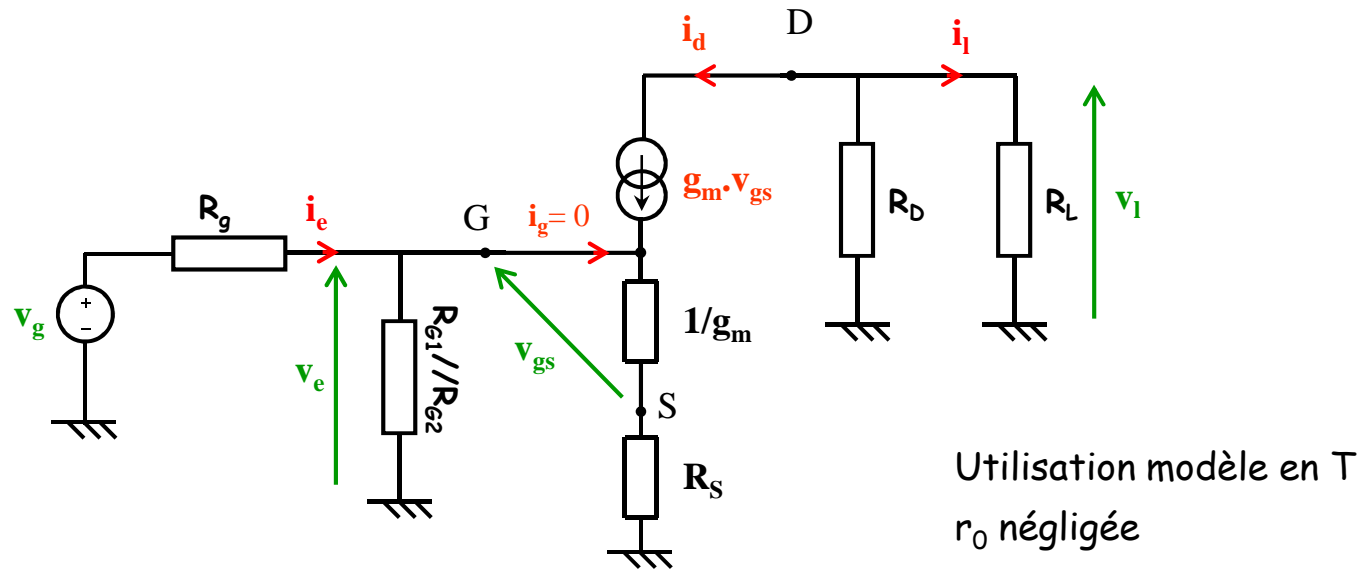
IV - Etages amplificateurs élémentaires

Amplificateur source commune avec résistance de source non découplée :



IV - Etages amplificateurs élémentaires

Amplificateur source commune avec résistance de source :



$$A_v = \frac{-g_m R_D}{1 + g_m R_S}$$

R_S : résistance de dégénérescence

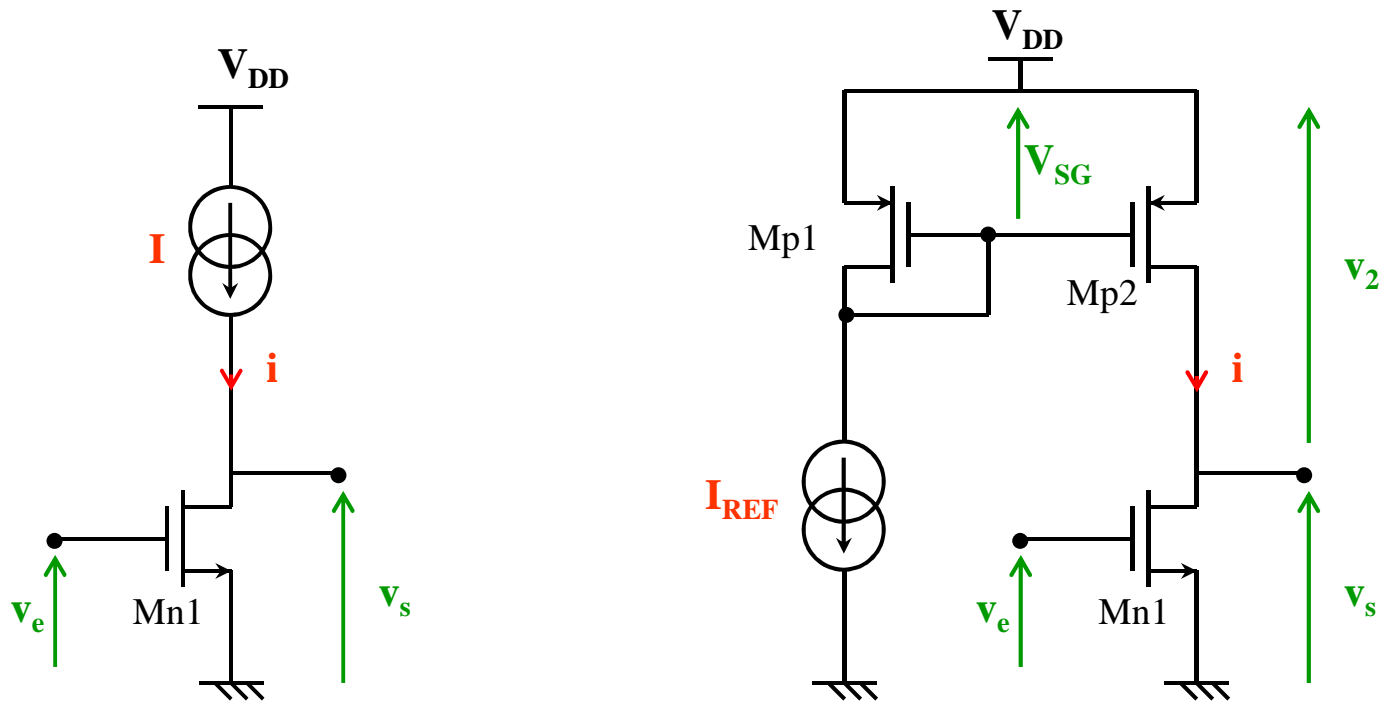
→ diminution du gain et amélioration de la linéarité

IV - Etages amplificateurs élémentaires

2 - Amplificateur source commune.

b. A charge active (intégré).

En technologie intégrée (microélectronique) : difficulté à intégrer des résistances élevées

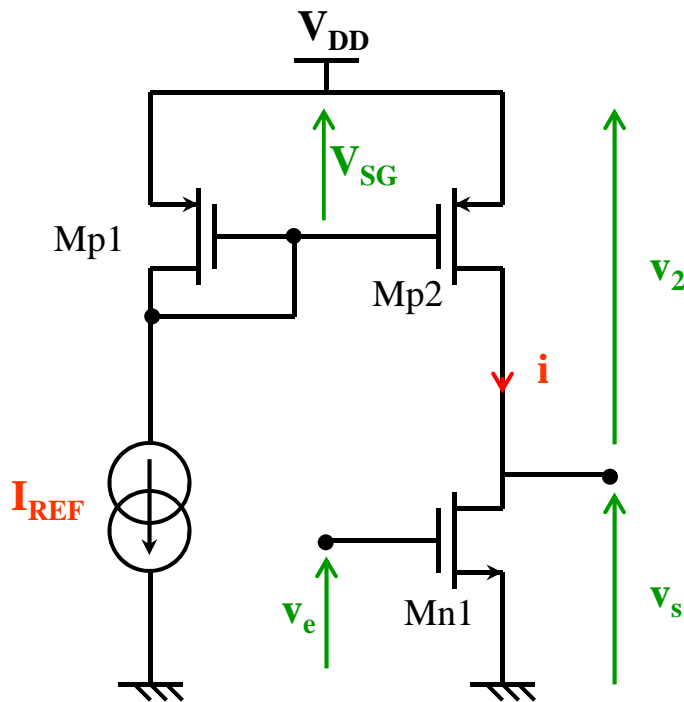


$$\Rightarrow A_v = -g_{m1} \cdot (r_{01} // r_{02})$$

(d'après $R_D = r_{02}$
 r_{02} élevée)

Exercice 4.1 (TD4 p10)

NMOS : $V_{DD} = 3,3 \text{ V}$ $V_{tn} = 0,46 \text{ V}$ $k'_n(W/L) = 175 \mu\text{A}/\text{V}^2$



Dessiner le schéma équivalent petits signaux de ce montage et calculer le gain en tension correspondant en fonction de g_{m1} , r_{o1} et r_{o2} .

En supposant que Mn1 et Mp2 aient la même tension d'Early V_A , exprimer A_v en fonction de V_A , $(W/L)_{Mn1}$ et de I_{REF} .

Dimensionner le montage source commune afin d'obtenir un gain en tension de 40 dB. On impose une même longueur de grille $L = 2 \mu\text{m}$ pour tous les transistor, cette longueur correspondant (très approximativement) à une tension d'Early V_A de l'ordre de 20 V pour les PMOS et NMOS, une intensité $I_{REF} = 20 \mu\text{A}$ et une plage de fonctionnement symétrique pour v_s .

IV - Etages amplificateurs élémentaires

3 - Réponse en fréquence.

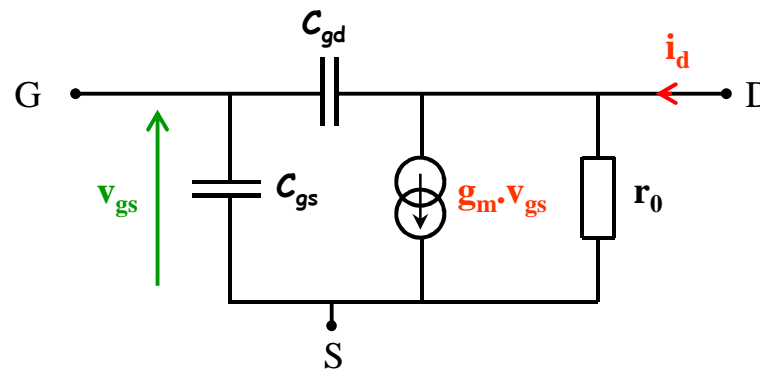
a. Capacités internes.

- effet capacitif de la grille
- capacités liées aux jonctions PN substrat-source et substrat-drain (polarisées en inverse)

⇒ 4 capacités à ajouter au modèle p.s. : C_{gs} , C_{gd} , C_{db} , C_{sb}

Modèle p.s. HF simplifié (S et B directement reliés, C_{db} négligé) :

pour une analyse manuelle

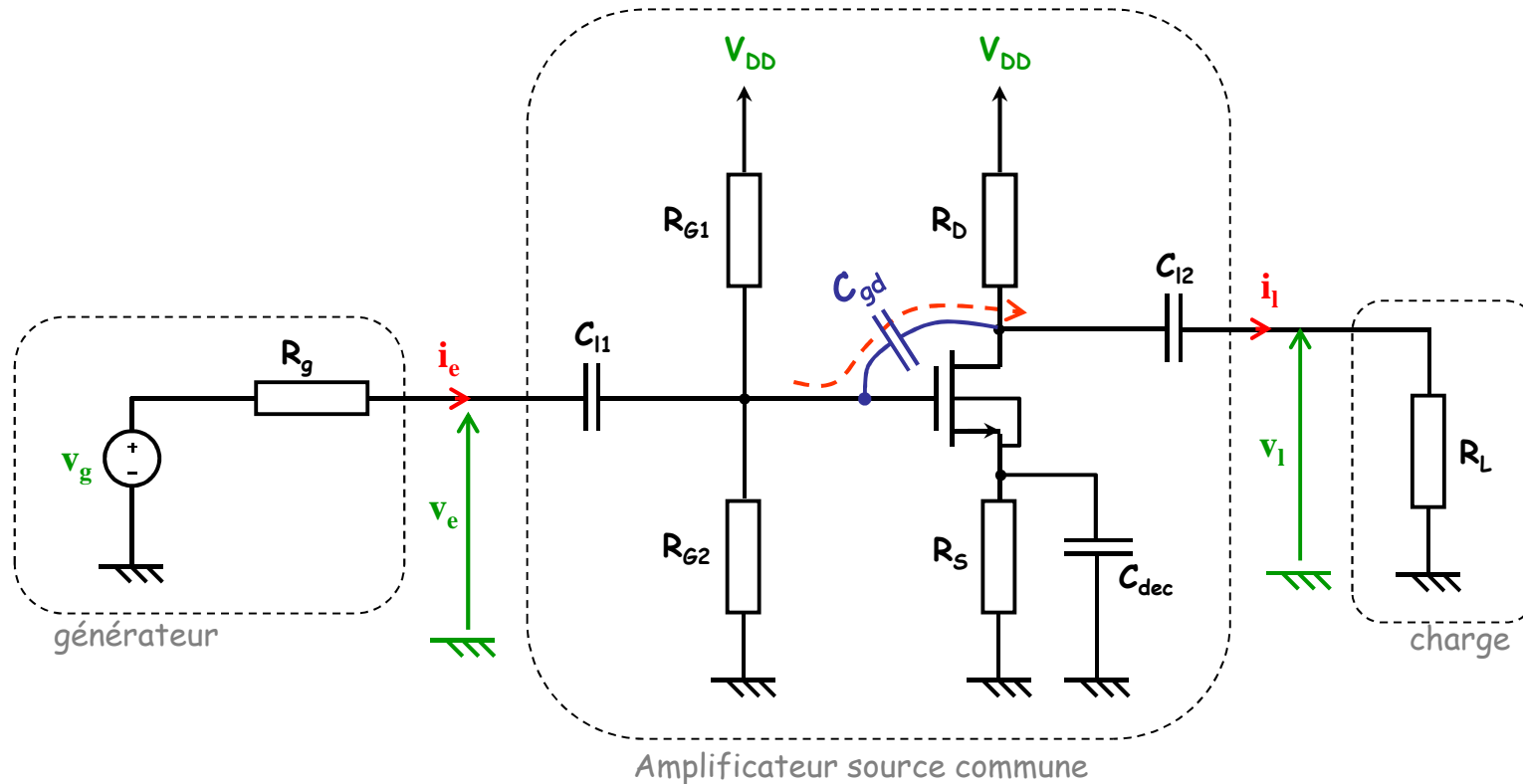


C_{gd} qq5 fF

C_{gs} qq5 10^{aines} fF

IV - Etages amplificateurs élémentaires

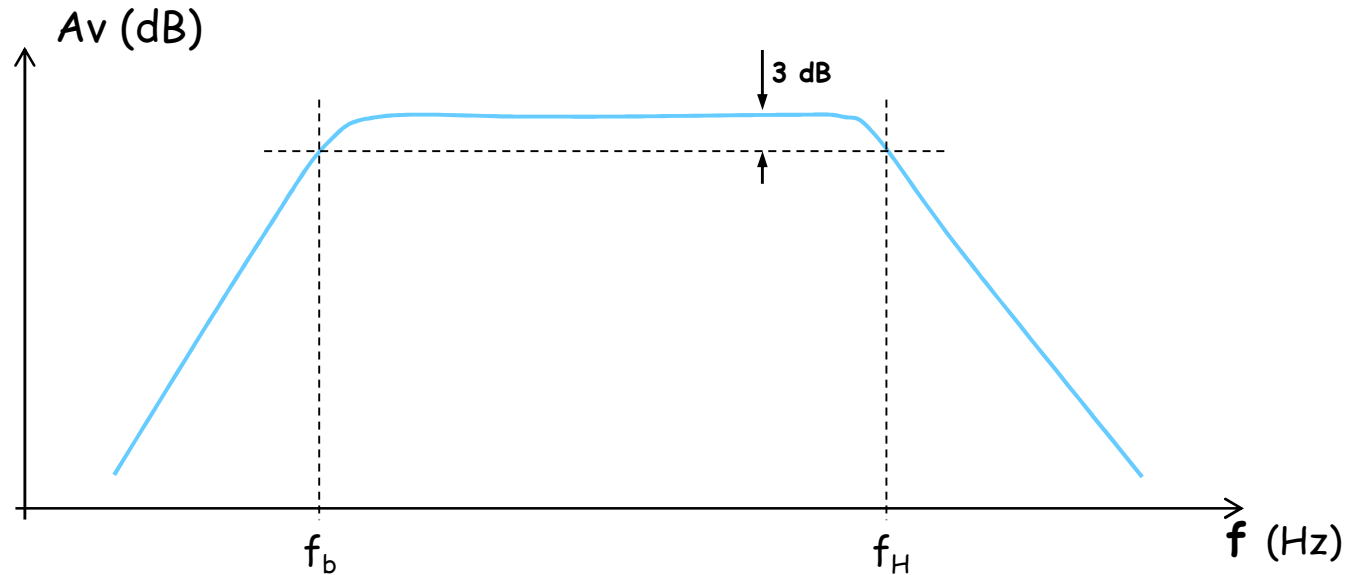
b. Réponse en fréquence de l'amplificateur source commune.



- capacités internes \Rightarrow chute du gain aux HF (i.e. coupure haute)
 C_{gd} "court-circuite" le transistor
- capacités de découplage et de liaison \Rightarrow chute du gain aux BF (i.e. coupure basse)

IV - Etages amplificateurs élémentaires

b. Réponse en fréquence de l'amplificateur source commune.



• fréquence de coupure haute :

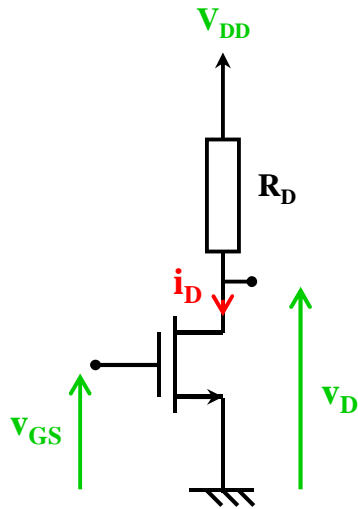
$$f_H = \frac{1}{2\pi[C_{gs} + C_{gd}(1 + g_m(r_o // R_D // R_L))].(R_g // R_{G1} // R_{G2})}$$

• fréquence de coupure basse :

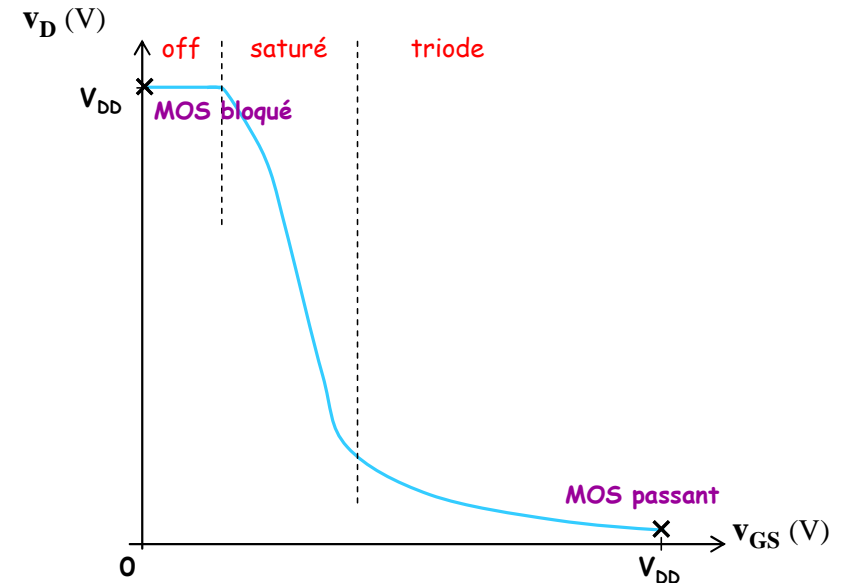
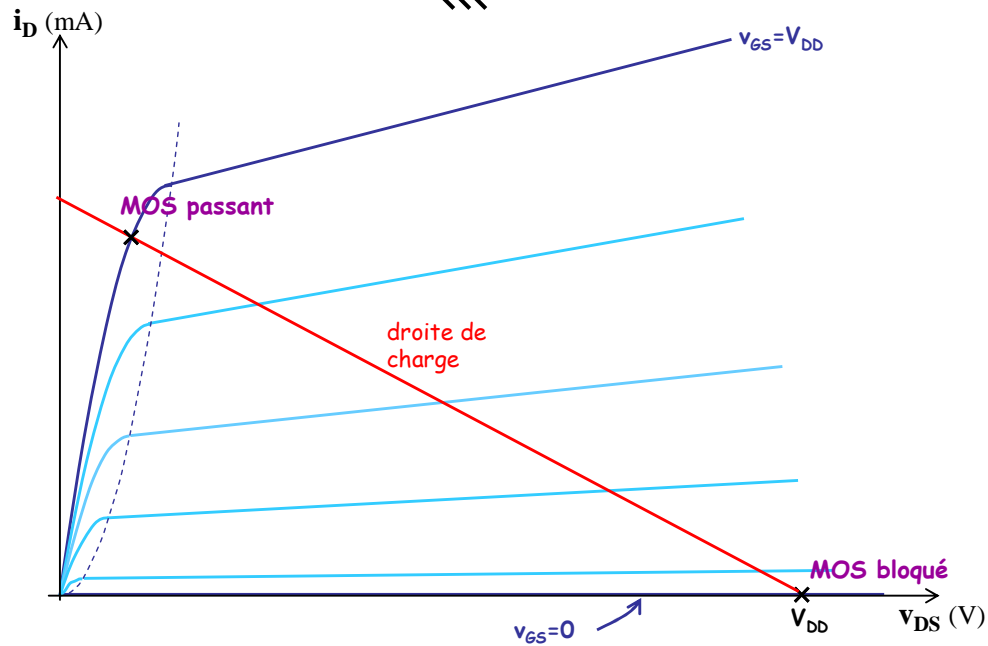
$$f_b = \frac{g_m}{2\pi.C_{dec}}$$

V - Interrupteur MOS.

1 - Introduction.



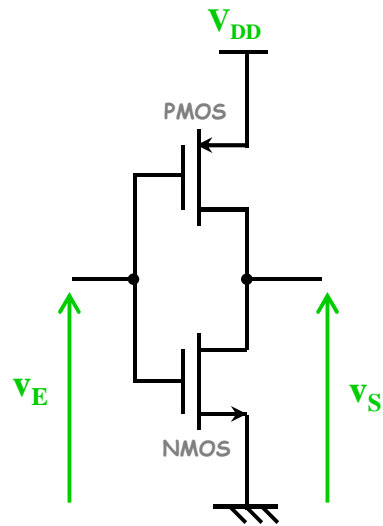
- $v_{GS} = 0 \Rightarrow v_D = V_{DD}$
MOS bloqué
 - $v_{GS} = V_{DD} \Rightarrow v_D \approx 0$
MOS passant (triode)
- } inverseur NMOS



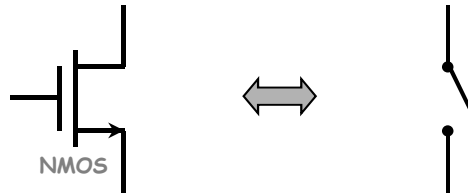
V - Interrupteur MOS

2 - Inverseur logique CMOS (complementary MOS).

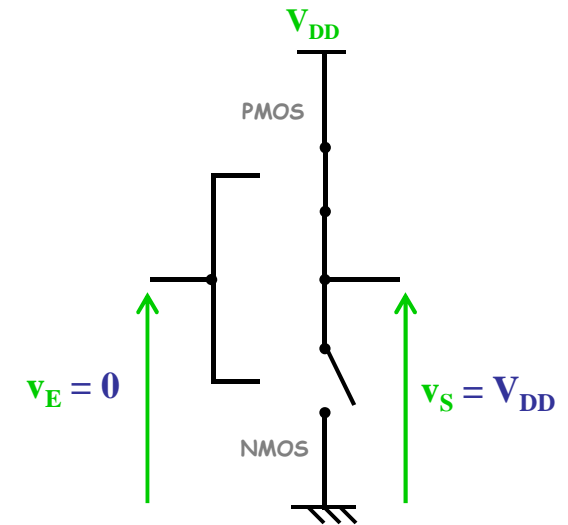
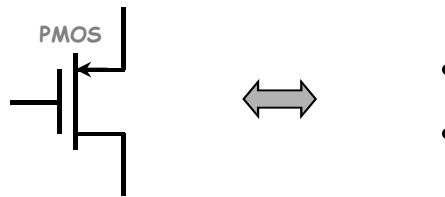
• $v_E = 0$:



NMOS bloqué ($v_{GS}=0$)



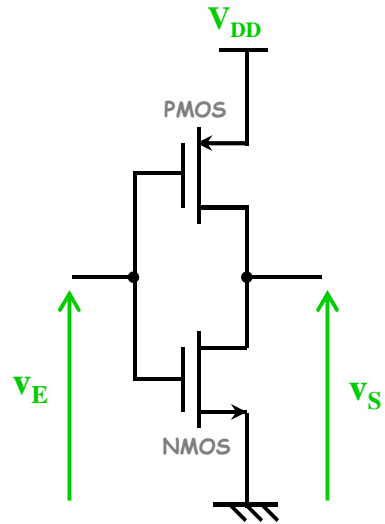
PMOS passant ($v_{SG}=V_{DD}$)



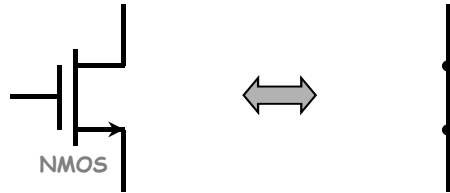
V - Interrupteur MOS

2 - Inverseur logique CMOS (complementary MOS).

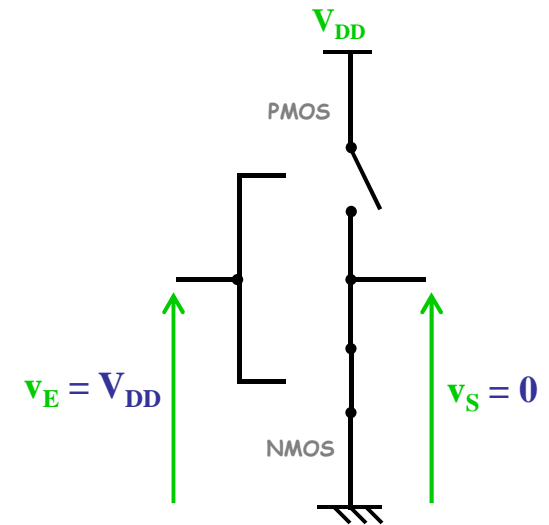
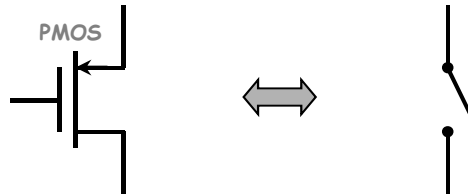
• $v_E = V_{DD}$:



NMOS passant ($v_{GS} = V_{DD}$)



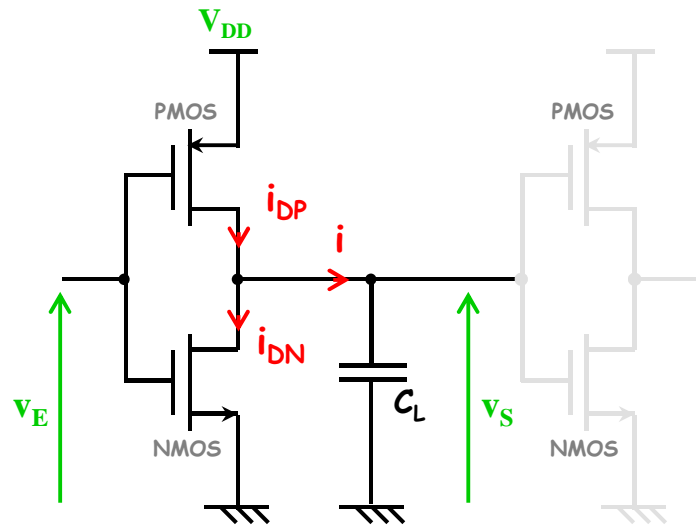
PMOS bloqué ($v_{SG} = 0$)



V - Interrupteur MOS

2 - Inverseur logique CMOS (complementary MOS).

Puissance consommée.



En statique :

$$i_{DP} = i_{DN} = i = 0$$

⇒ pas de puissance consommée

En dynamique :

au moment du passage des MOS de l'état passant à l'état bloqué et inversement ils sont traversés par le courant de charge-décharge de C_L

⇒ Dissipation de puissance par effet Joule (dans les MOS)

Dissipation de puissance (dynamique) dans les circuits numériques :

$$P_D \propto f \cdot C_L V_{DD}^2$$

V - Interrupteur MOS

3 - Exemple - allumage d'une diode électroluminescente.

Analyser qualitativement les graphes
 $I_D = 28\text{mA}$, $V_F = 2\text{V}$
calculer R_D

