

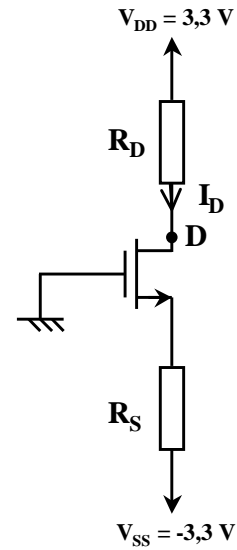
TD1 – Le transistor MOS en DC.

1.1.

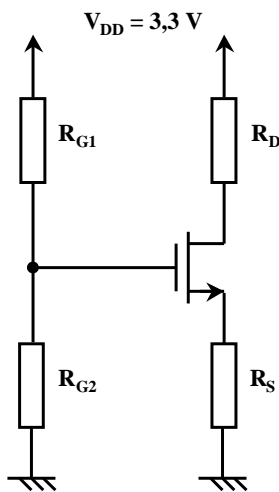
Dimensionner le circuit ci contre afin d'obtenir une polarisation du transistor telle que $I_D = 100 \mu A$ et $V_D = 1 V$.

A quelle régime de fonctionnement correspond cette polarisation ?

On considère que la modulation de la longueur du canal est négligeable ($\lambda = 0$) et on prend $W=40\mu m$ et $L=1\mu m$ (les paramètres électriques du transistor sont donnés en annexe).



1.2.



Donner le potentiel de chacun des nœuds et le courant circulant dans chacune des branches de ce circuit.

On prend $R_{G1} = R_{G2} = 5 M\Omega$, $R_D = R_S = 10 k\Omega$, $W = 30 \mu m$, $L = 1 \mu m$ et $\lambda = 0$.

Expliquer le choix des valeurs de R_{G1} et R_{G2} .

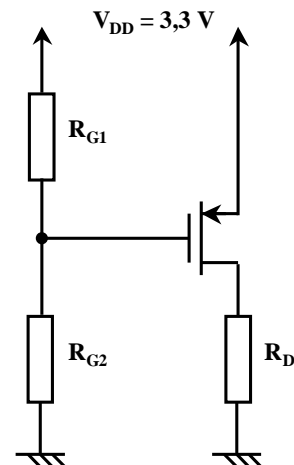
1.3.

Dimensionner le circuit ci-contre afin que le transistor fonctionne en saturation avec $I_D = 150 \mu A$ et $V_D = 1,8 V$.

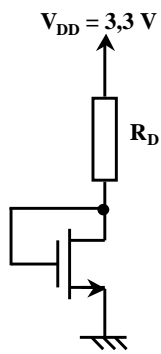
On prend $L = 10 \mu m$ et on suppose $\lambda = 0$.

Choix de W : trouver l'expression $I_D = f(V_{SD})$ à la limite des régimes triodes et saturés, en déduire le choix de W.

Quelle est la valeur maximale de R_D assurant un fonctionnement en saturation ?



1.4.

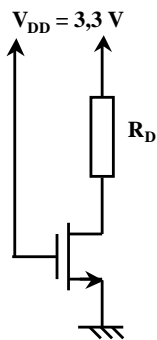


Dimensionner le circuit ci-contre pour obtenir $I_D = 200 \mu\text{A}$. Donner la valeur de V_D .

On prend $L = 2 \mu\text{m}$, $W = 10 \mu\text{m}$ et on considère $\lambda = 0$.

Réponse : $V_D = 1,1 \text{ V}$ et $R_D = 11 \text{ k}\Omega$.

1.5.



Dimensionner ce circuit de façon à avoir $V_D = 0,1 \text{ V}$.

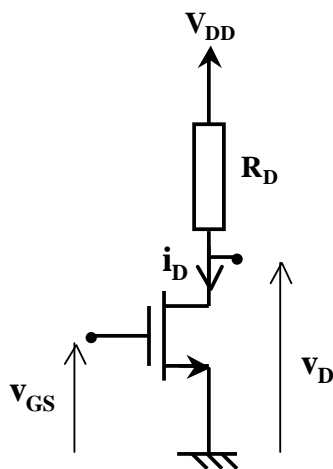
On prend $W = 6 \mu\text{m}$ et $L = 1 \mu\text{m}$.

Que vaut r_{DS} , la résistance drain source à ce point de polarisation ?

Réponse : $I_D = 0,3 \text{ mA}$, $R_D = 11 \text{ k}\Omega$ et $r_{DS} = 333\Omega$.

TD2 – Le transistor MOS en amplification.

2.1. Montage de base.



On considère le montage amplificateur source commune ci-contre (il s'agit ici d'un montage d'étude, nous verrons ultérieurement une façon pratique de le réaliser).

La tension grille source instantanée v_{GS} s'écrit sous la forme $v_{GS} = V_{GS} + v_{gs}$, avec V_{GS} terme continu de polarisation et v_{gs} un terme variable petits signaux.

a. Point de polarisation.

On ne s'intéresse ici qu'aux composantes continues des différents signaux.

Donner le régime de fonctionnement du transistor pour un montage amplificateur, et préciser les conditions de polarisation.

Exprimer I_D et V_D (avec $\lambda = 0$).

b. Courant de drain.

b.1. En considérant désormais qu'un signal variable est ajouté ($v_{GS} = V_{GS} + v_{gs}$) exprimer i_D sous la forme de la somme d'un terme continu, d'un terme d'amplification et d'un terme quadratique.

b.2. A quoi correspond le terme quadratique ? A quelle condition peut on écrire i_D sous la forme $i_D \cong I_D + i_d$?

b.3. En déduire l'expression de $g_m = i_d / v_{gs}$ la transconductance du transistor. Remarque ?

c. Gain en tension.

c.1. Exprimer v_D sous la forme $v_D = V_D + v_d$. En déduire l'expression du gain en tension petits signaux $A_v = v_d / v_{gs}$.

c.2. Tracer l'allure de v_{GS} et v_D pour un v_{gs} triangulaire. Quelles sont les conditions de fonctionnement à respecter ?

d. Séparation des analyses DC et petits signaux.

d.1. Retrouver l'expression du gain en tension petits signaux à partir du schéma équivalent petits signaux du transistor.

d.2. Dans la pratique on trouve un gain en tension inférieur. Proposer une explication et trouver une valeur plus précise de A_v .

e. Ecritures de la transconductance.

e.1. Rappeler l'expression de g_m trouvée précédemment. Comment faire pour obtenir une transconductance élevée ? Inconvénients ?

e.2. Exprimer g_m en fonction de $\sqrt{I_D}$, la comparer avec celle d'un transistor bipolaire.

e.3. Retrouver l'expression de g_m en fonction de I_D et de la tension effective $V_{\text{eff}} = V_{GS} - V_{tn}$. Quelle conclusion en tirer sur l'on compare la transconductance des bipolaires et des MOS ?

e.4. Quelles sont les principaux avantages des transistors MOS par rapport aux transistors bipolaires ?

2.2. Dimensionnement.

On cherche à dimensionner le montage précédent (largeur du transistor, valeur de la résistance et polarisation) de façon à obtenir un gain en tension en régime petits signaux de 20 dB.

On fixe arbitrairement $I_D = 100 \mu\text{A}$, $V_D = 1,7 \text{ V}$ et $L = 2 \mu\text{m}$.

a. Dimensionnement.

On pourra dans un premier temps calculer R_D puis g_m avant d'en déduire V_{GS} et W .

b. Linéarité.

On considère un signal v_{gs} de forme sinusoïdale tel que $v_{gs} = V_{gs} \cdot \sin(\omega t)$.

On définit le taux de distorsion harmonique du second ordre comme étant le rapport de l'amplitude de l'harmonique à la pulsation 2ω par l'amplitude du fondamental à la pulsation ω exprimé en pourcentages.

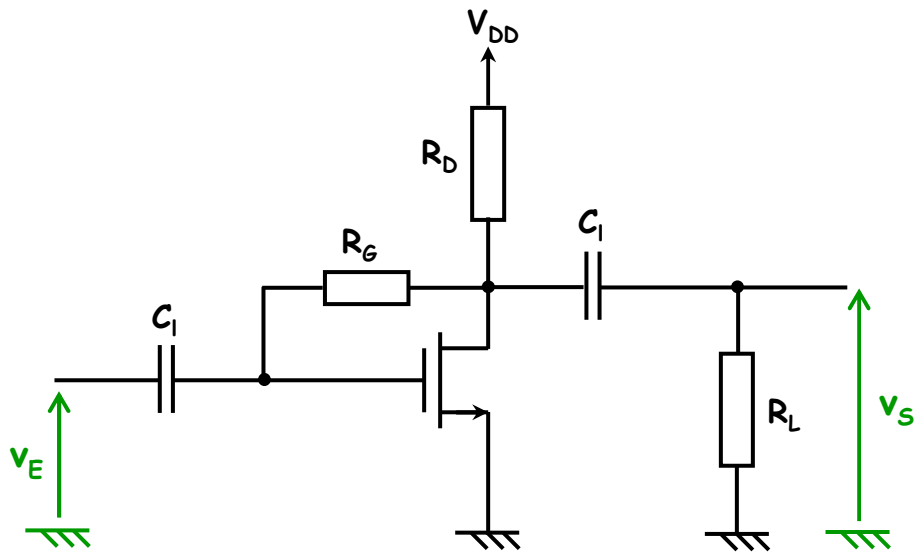
b.1. Exprimer le taux de distorsion harmonique du second ordre (on rappelle la formule de trigonométrie bien connue $\cos(2\theta) = 1 - 2 \cdot \sin^2\theta$).

b.2. Donner la valeur maximale acceptable de v_{gs} pour avoir un taux de distorsion de 1% au plus.

Réponses : $R_D = 16 \text{ k}\Omega$, $g_m = 625 \mu\text{A/V}$, $V_{GS} = 0,78 \text{ V}$, $W = 22 \mu\text{m}$, $v_{gs\text{max}} = 12,8 \text{ mV}$.

2.3 Montage amplificateur source commune.

On considère le montage amplificateur source commune discret représenté ci-dessous.



On donne $R_G = 10 \text{ M}\Omega$, $R_D = 10 \text{ k}\Omega$, $R_L = 10 \text{ k}\Omega$, $V_{DD} = 15\text{V}$, et C_L suffisamment élevées pour être considérées comme des courts-circuits à la fréquence d'utilisation.

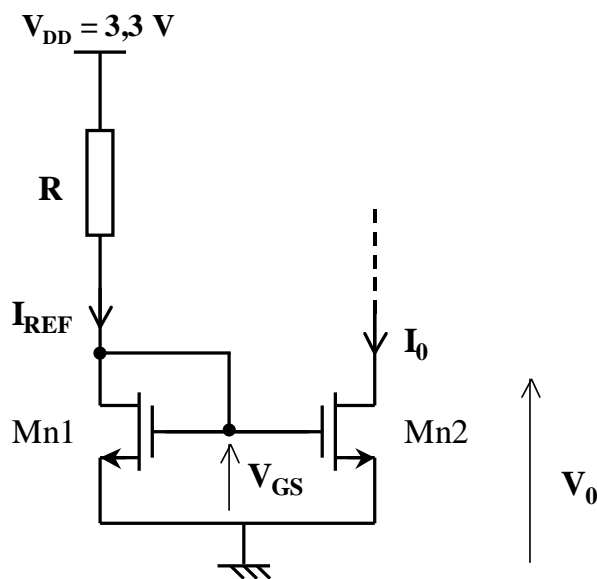
Le transistor utilisé est un composant discret tel que : $V_{th} = 1,5\text{V}$, $k'_n(W/L) = 0,35 \text{ mA/V}^2$ et $V_A = 50 \text{ V}$.

Déterminer l'impédance d'entrée de cet amplificateur, son gain en tension petits signaux, et l'amplitude maximale du signal d'entrée.

TD3 – Polarisation par sources de courant.

La réalisation de résistances élevées en technologie MOS est relativement coûteuse en termes de surface (c'est aussi vrai pour les capacités) et par conséquent en termes financiers. Aussi, dans la mesure du possible leur utilisation est limitée au maximum, tant que cela n'induit pas une dégradation importante des performances. Aussi les méthodes de polarisation utilisées en conception intégrée diffèrent de celles vues précédemment qui sont adaptées aux circuits discrets ; elles sont basées sur l'utilisation de sources de courant.

3.1. Source de courant.



Le schéma ci-contre présente la structure de source de courant la plus simple en technologie MOS.

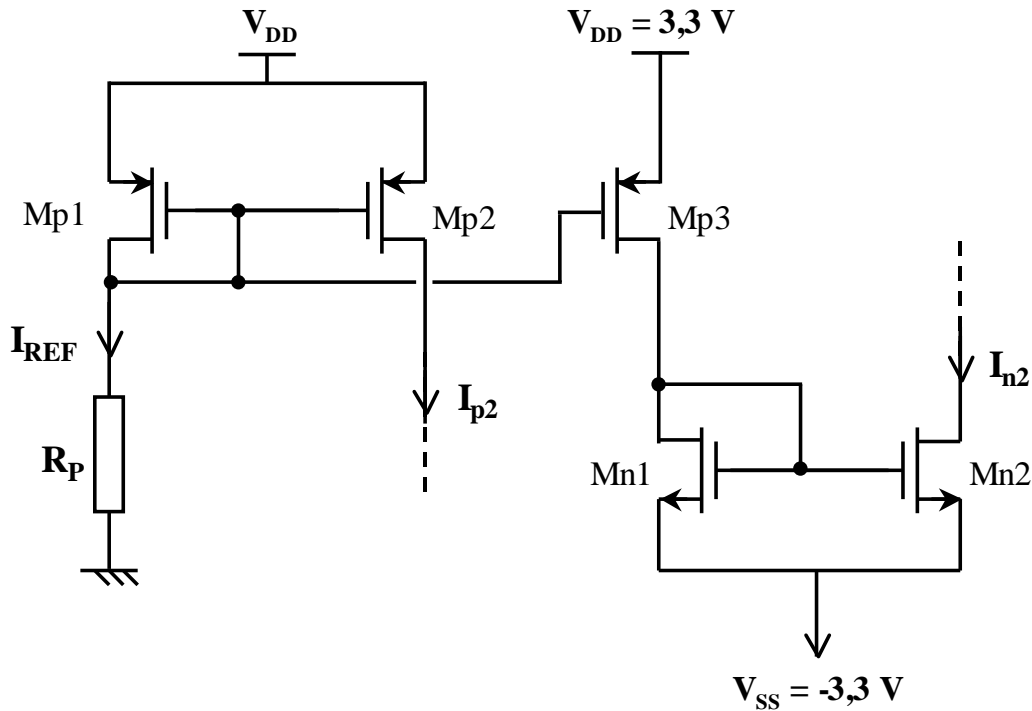
Dans les premières questions on considèrera $\lambda = 0$.

- Quelle est le régime de fonctionnement du transistor $Mn1$? Exprimer I_{D1} , le courant de drain de $Mn1$.
- Quelle condition doit vérifier V_0 pour que $Mn2$ fonctionne en saturation ? Exprimer I_{D2} dans ce cas.
- Etablir une relation entre I_0 et I_{REF} . Quand parle-t-on de miroir ou de source de courant ?
- Quel composant permet de fixer la valeur de I_{REF} ? Donner l'expression de I_{REF} en fonction de V_{DD} , R et V_{GS} .
- On ne néglige plus la modulation de longueur de canal ($\lambda \neq 0$).
Tracer I_0 en fonction de V_0 dans le cas où $Mn1$ et $Mn2$ sont identiques. Que vaut R_{out} la résistance de sortie de la source de courant ? Proposer une façon d'augmenter la résistance de sortie d'une source de courant.
Quels sont les paramètres importants d'une source de courant de bonne qualité ?

f. Dimensionnement.

Proposer un design permettant de réaliser un miroir de courant tel que $I_0 = 100 \mu\text{A}$ et $V_{0\text{min}} = 0,3 \text{ V}$ (on prendra arbitrairement $L = 2 \mu\text{m}$).

3.2. Distribution des courants dans un circuit intégré.

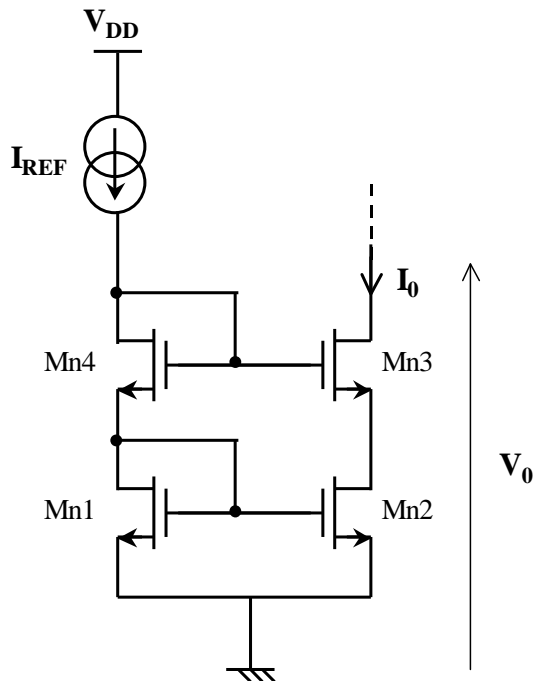


Une fois qu'une référence de courant est générée sur un circuit intégré, elle peut être utilisée pour générer à son tour plusieurs courants constants de polarisation en différentes parties du design. La structure ci-dessus en présente un exemple, elle permet de générer les courants I_{p2} et I_{n2} .

Dimensionner ce circuit de façon à avoir $I_{\text{REF}} = 20 \mu\text{A}$, $I_{p2} = 80 \mu\text{A}$ et $I_{n2} = 40 \mu\text{A}$ (on prendra $\lambda = 0$). On prendra $L = 2 \mu\text{m}$ pour l'ensemble des transistors et on règlera le swing des sources de façon à avoir $V_{\text{Dp2max}} = 3,1 \text{ V}$ et $V_{\text{Dn2min}} = -3,1 \text{ V}$.

3.3. Miroirs de courant cascodes.

a. Miroir cascode.



Un montage cascode (cf. schéma ci-contre) permet d'augmenter la résistance de sortie au prix d'une réduction de la plage de tension acceptable en sortie du miroir.

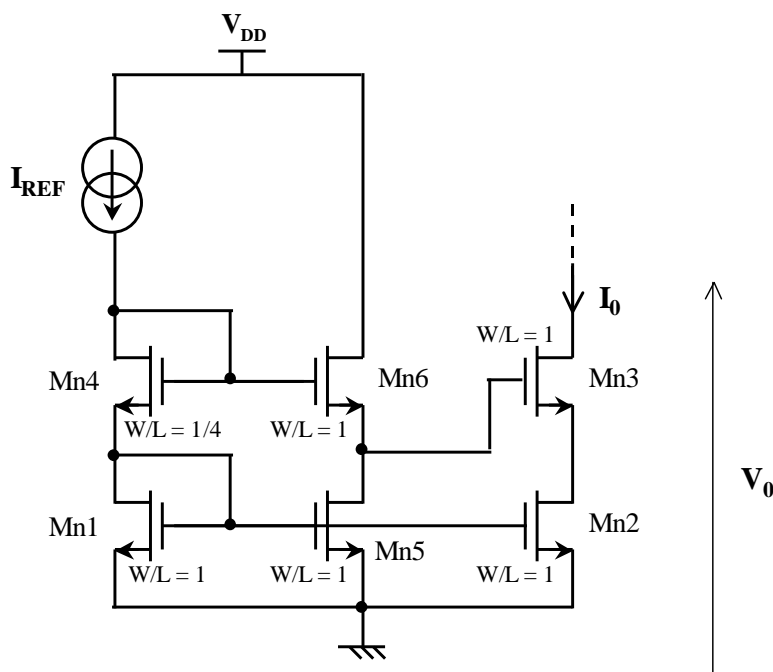
a.1. Calcul de la résistance de sortie.

Les transistors connectés en diode Mn1 et Mn4 ayant une résistance faible ($1/g_m$) on fera l'hypothèse pour le calcul de R_{out} que les grilles de Mn2 et Mn3 sont connectées à la masse en régime petits signaux. Et toujours afin de simplifier le calcul on négligera le body effect au niveau de Mn3.

Dessiner le schéma équivalent petits signaux permettant de déterminer la résistance de sortie, la calculer.

a.2. En considérant que tous les transistors du cascode sont identiques trouver le potentiel de la grille de Mn3. En déduire la condition de fonctionnement du miroir cascode. Conclusion ?

b. Cascode amélioré.



Le design ci-contre correspond à un miroir cascode amélioré. Le rapport des dimensions du transistor Mn4 (marqué $W/L=1/4$) est le quart du rapport des dimensions de tous les autres transistors (marqués $W/L=1$).

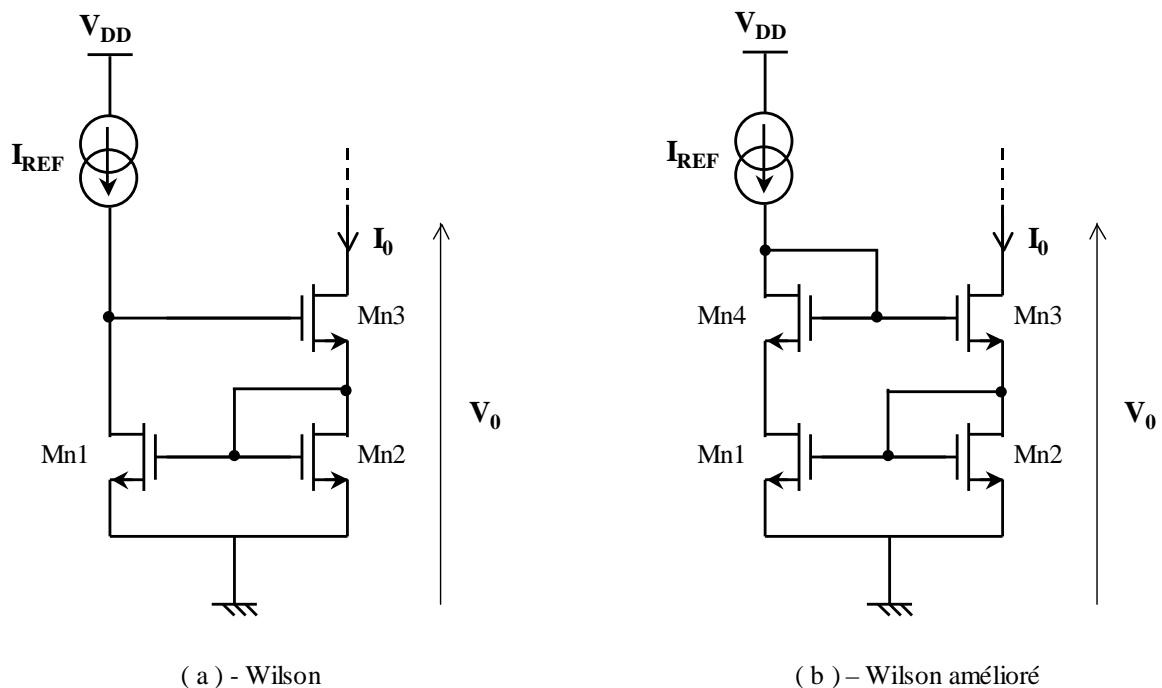
b.1. Par analogie avec le montage cascode classique

donner la résistance de sortie de ce miroir.

b.2. Exprimer V_{GS4} la tension grille source du transistor Mn4 en fonction de V_{GS} la tension grille source de Mn1, Mn2 et Mn5 et de V_{in} (on prendra $\lambda = 0$). En déduire V_{G6} et V_{G3} les tensions de grille des transistors Mn6 et Mn3.

Quelle est le limitation du swing du montage cascode amélioré proposé ? Conclusion.

3.4. Miroirs Wilson.



a. Retrouver des résultats similaires au montage cascode dans le cas d'un miroir de Wilson.

b. Comparer les tension de drain de Mn1 et Mn2, qu'en déduire concernant I_{REF} et I_0 ?

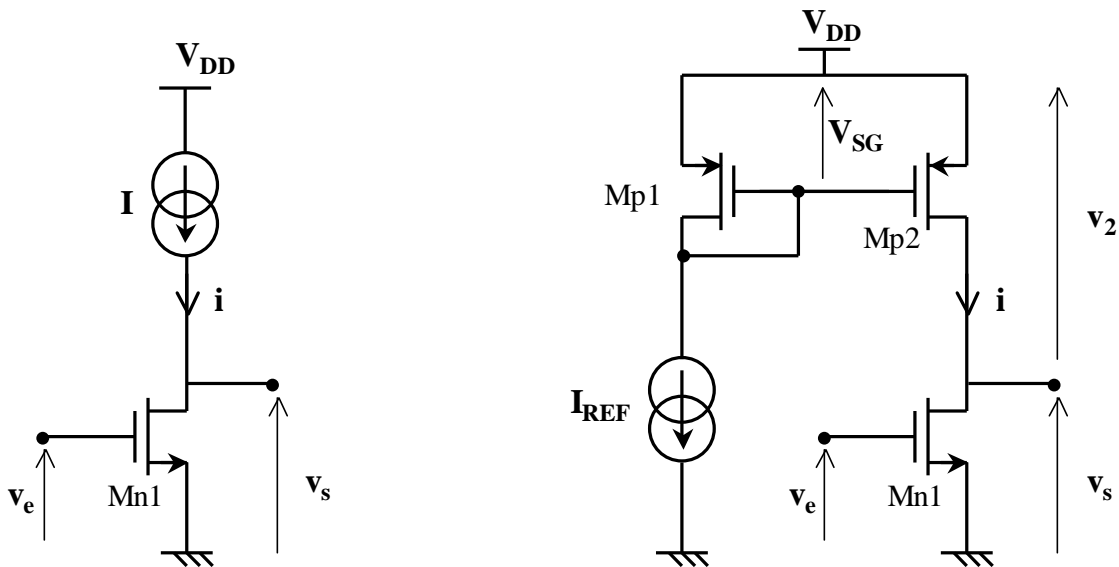
c. Quelle amélioration est apportée par le montage (b) ?

TD4 – Montage amplificateur source commune intégré.

Les trois TD suivants sont consacrés à l'étude des trois montages amplificateurs élémentaires en technologie CMOS intégrée.

Nous commençons par l'étude de l'amplificateur source commune. En technologie intégrée nous avons vu que l'on limite dans la mesure du possible l'utilisation de composants passifs ; ici, la résistante de charge (cf. TD 2) est remplacée par une source de courant. On parle alors de charge active.

4.1.



a. Mp1 et Mp2 forment un miroir de courant polarisé par la source de courant I_{REF} .

Tracer la caractéristique $i - v_2$ de ce miroir. A quelle condition fonctionne il effectivement en miroir de courant et quelle est alors sa résistance de sortie ?

b. Caractéristique de transfert $v_S - v_E$.

Reporter la caractéristique du miroir de courant dans le système d'axes $i - v_S$. Tracer dans le même repère la caractéristique $i - v_S$ du transistor Mn1 pour plusieurs valeurs de v_E .

En déduire la caractéristique de transfert $v_S - v_E$ du montage amplificateur source commune à charge active.

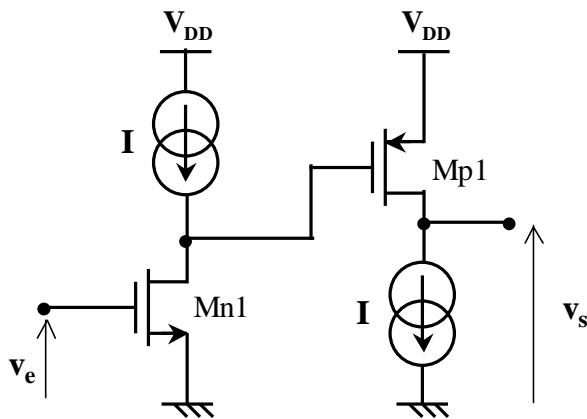
c. Dessiner le schéma équivalent petits signaux de ce montage et calculer le gain en tension correspondant en fonction de g_{m1} , r_{01} et r_{02} .

En supposant que Mn1 et Mp2 aient la même tension d'Early V_A , exprimer A_v en fonction de V_A , $(W/L)_{Mn1}$ et de I_{REF} .

d. Dimensionnement.

Dimensionner le montage source commune afin d'obtenir un gain en tension de 40 dB. On impose une même longueur de grille $L = 2 \mu\text{m}$ pour tous les transistor, cette longueur correspondant (très approximativement) à une tension d'Early V_A de l'ordre de -20 V pour les PMOS et NMOS, une intensité $I_{REF} = 20 \mu\text{A}$ et une plage de fonctionnement pour v_s symétrique.

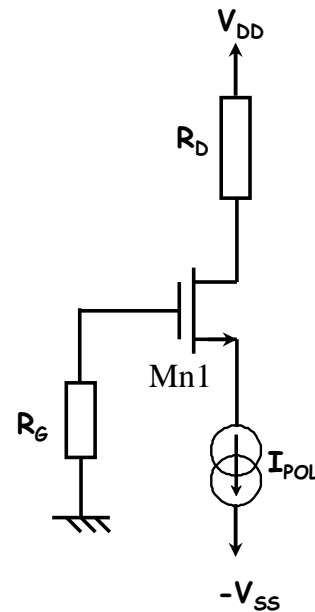
4.2.



Donner le gain global de ces deux amplificateurs source commune cascades en fonction de g_m et r_o . On considérera que les sources de courant sont idéales.

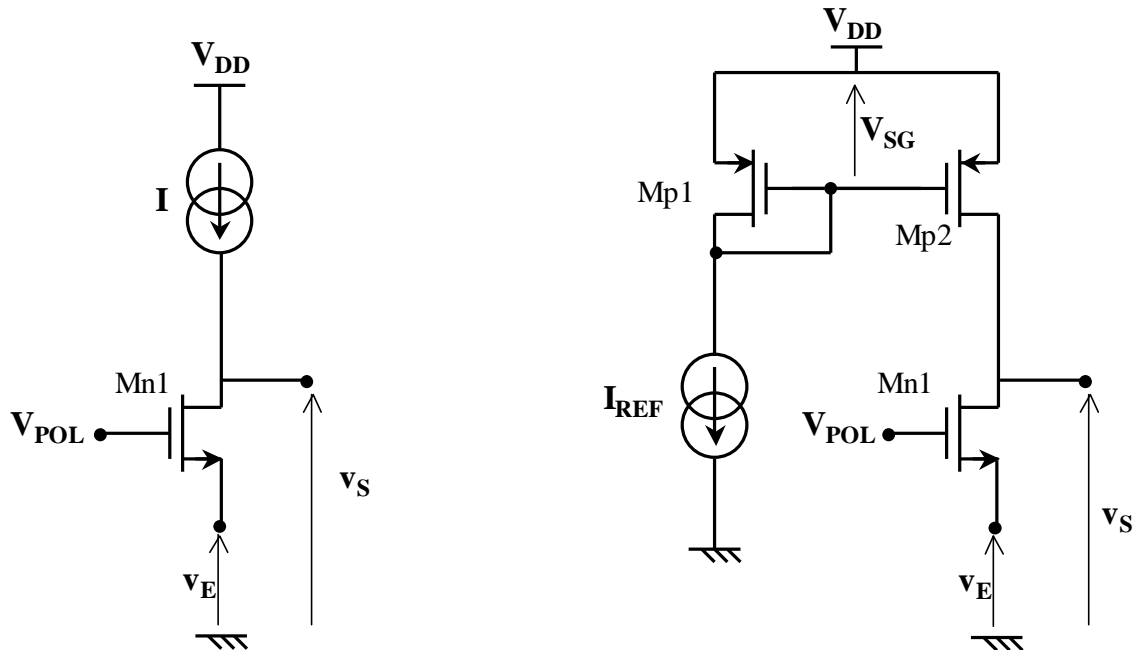
4.3.

On considère le montage amplificateur ci-contre. On a $V_{DD} = V_{SS} = 10 \text{ V}$, $I_{POL} = 0,5 \text{ mA}$, $R_G = 4,7 \text{ M}\Omega$, $R_D = 15 \text{ k}\Omega$, $V_{tn} = 1,5 \text{ V}$, $k'_n(W/L) = 1 \text{ mA/V}^2$, et $V_A = 75 \text{ V}$. Calculer V_{OV} , V_{GS} , V_G , V_D et V_S , ainsi que g_m et r_o . Quelle est l'amplitude maximale admissible au niveau du drain du transistor assurant son maintien en saturation ?



TD 5 – Montage amplificateur grille commune intégré.

5.1.



Dans le montage grille commune, la grille du NMOS utilisé en amplification est connectée à une tension de polarisation constante V_{POL} ; le nom de cette architecture provient du fait que la grille est au potentiel nul en régime petits signaux.

- Dessiner le schéma équivalent petits signaux de l'amplificateur grille commune et exprimer A_v , le gain en tension, en fonction de g_{m1} , g_{mb1} , r_{o1} et r_{o2} .
- Calculer la résistance d'entrée de ce montage (on pourra éventuellement regrouper les deux sources de courant pour simplifier le calcul).
- Comparer les caractéristiques de l'amplificateur grille commune avec celles de l'amplificateur source commune.

5.2.

- En écrivant $g_{mb1} = \chi \cdot g_{m1}$ et en considérant $r_{o1} = r_{o2} = |V_A| / I_{REF}$ montrer que pour l'amplificateur précédent on peut écrire :

$$A_v = (1 + \chi) \cdot V_A / V_{eff1} \quad \text{et} \quad R_e = V_{eff1} / I_{REF} (1 + \chi)$$

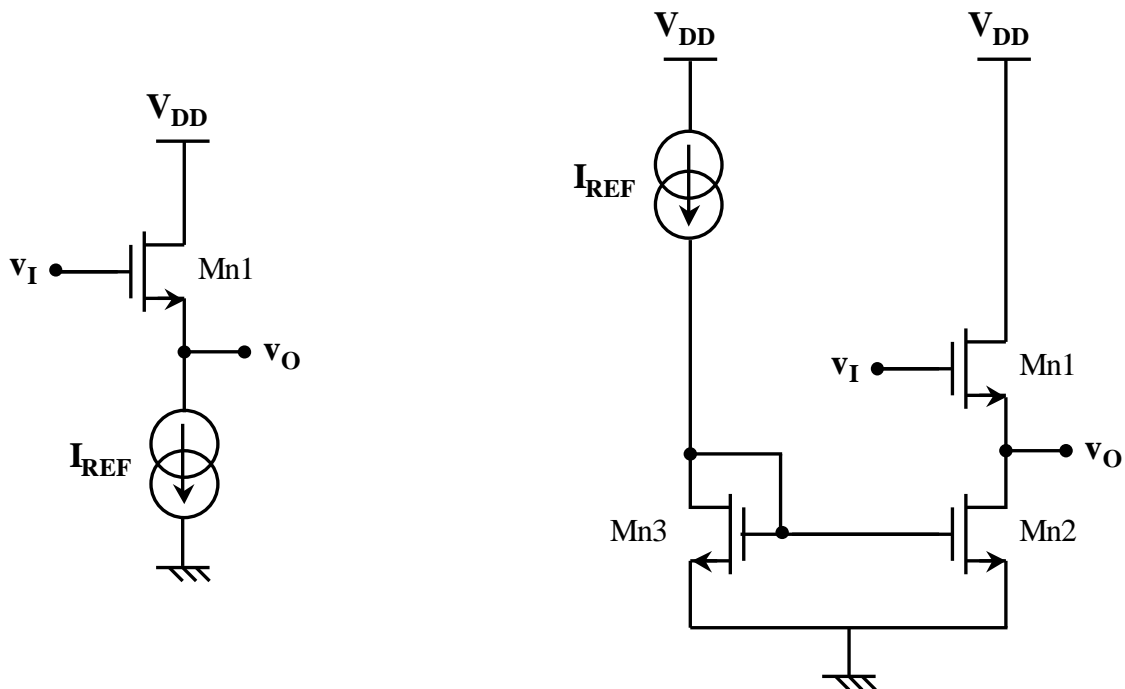
b. Dimensionnement.

On prend $|V_A| = 50 \text{ V}$ et $\chi = 0,2$. Trouver les valeurs de V_{eff1} , I_{REF} et $(W/L)_1$ permettant d'obtenir un gain de 40 dB et une résistance d'entrée de 10 k Ω .

Réponses : $V_{\text{eff1}} = 0,6 \text{ V}$, $I_{\text{REF}} = 50 \mu\text{A}$, $(W/L)_1 = 1,58$.

TD 6 – Amplificateur drain commun intégré – Montage suiveur.

6.1.



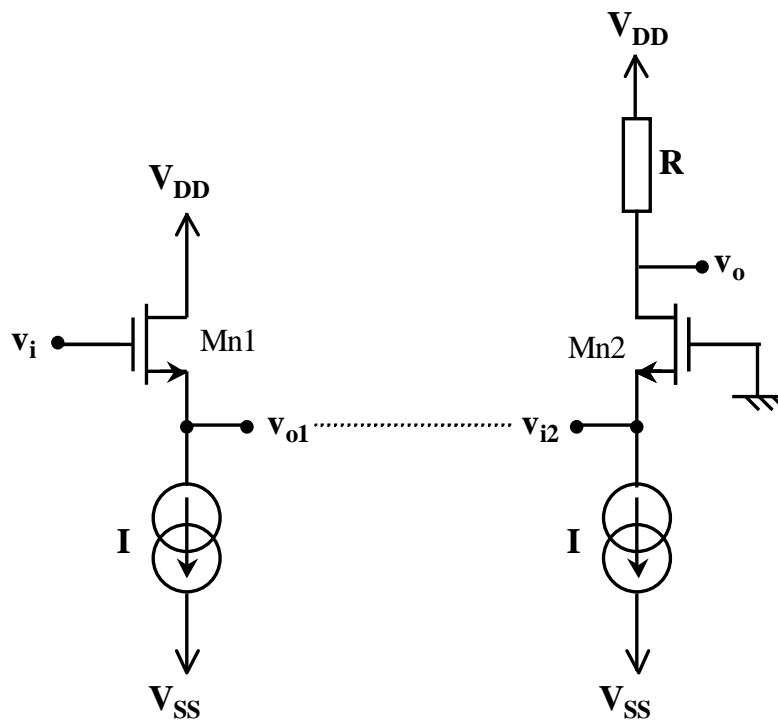
a. Dessiner le schéma équivalent petits signaux du montage amplificateur drain commun.

Afin de simplifier le schéma précédent montrer que l'on peut remplacer la source de courant de c.e.m. $g_{mb1}V_{bs1}$ par une résistance dont vous préciserez la valeur. En déduire l'expression du gain en tension petits signaux.

b. En procédant de façon similaire calculer la résistance de sortie du montage.

c. Quelle est l'utilité de l'amplificateur suiveur (drain commun) ?

6.2. Amplificateur à deux étages.



a. Exprimer le gain en tension à vide de l'étage suiveur v_{o1}/v_i et sa résistance de sortie R_{o1} en fonction de g_{m1} et χ (en considèrera r_{o1} la résistance de sortie de Mn1 et celle de la source de courant comme étant quasi infinies).

b. Exprimer le gain en tension de l'étage grille commune v_o/v_{i2} et sa résistance d'entrée R_{i2} en fonction de g_{m2} , χ et R (en considèrera r_{o2} la résistance de sortie de Mn2 et celle de la source de courant comme étant quasi infinies).

c. On relie v_{o1} et v_{i2} . Calculer le gain global v_o/v_i .

d. Dimensionnement.

La polarisation continue du drain de Mn2 est fixée à 0 V (on rappelle $V_{DD}=3,3$ V). Déterminer la valeur de la somme des tensions effectives de Mn1 et Mn2 permettant d'obtenir un gain global de 25 V/V.

On choisira $V_{eff1}=V_{eff2}$ et $I = 30 \mu\text{A}$. Calculer R et le rapport de dimension des transistors.

TD 7 – Paire différentielle.

7.1.

Soit la paire différentielle ci-contre, telle que $I_0 = 400 \mu\text{A}$, $R_D = 2,5 \text{ k}\Omega$, et $W/L = 25$ ($\lambda=0$).

On considère qu'elle est soumise à une entrée de mode commun :

$$V_{G1} = V_{G2} = V_{CM}$$

a. Que valent V_{OV} et V_{GS} ?

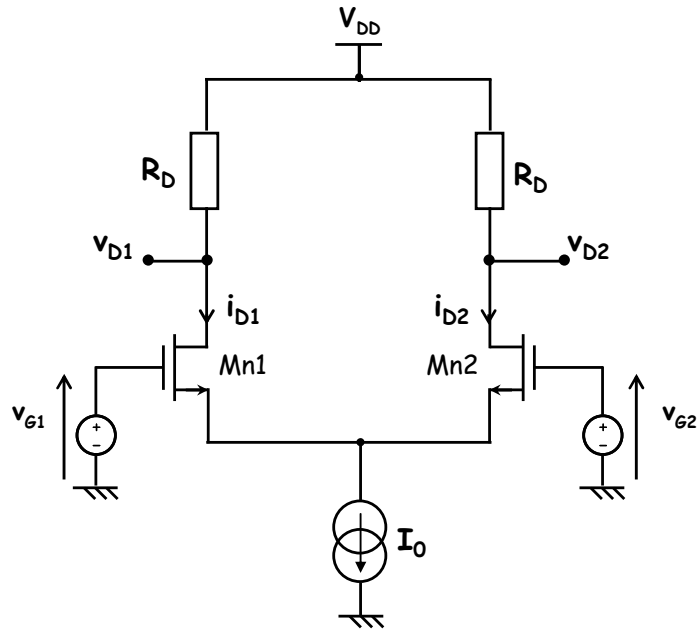
b. Calculer v_S , i_{D1} , i_{D2} , v_{D1} et v_{D2} pour $v_{CM} = 1,6 \text{ V}$ (v_S tension des sources de Mn1 et Mn2).

c. Même question pour $v_{CM} = 2,8 \text{ V}$.

d. Même question pour $v_{CM} = 1,4 \text{ V}$.

e. Quelle est la valeur maximale de v_{CM} assurant le maintien en saturation de Mn1 et Mn2 ?

f. La source de courant requiert une tension minimale à ses bornes, $V_{0min} = 0,6 \text{ V}$, pour fonctionner correctement. En déduire la valeur minimale pouvant être prise par v_{CM} .



La paire différentielle précédente est maintenant alimentée en mode différentiel tel que :

$$V_{G1} - V_{G2} = v_{id}$$

g. Pour quelle valeur de v_{id} la totalité du courant de polarisation I_0 passe-t-elle par la branche de Mn1 ? Calculer les valeurs correspondantes de v_{D1} et v_{D2} .

h. Pour quelle valeur de v_{id} la totalité du courant de polarisation I_0 passe-t-elle par la branche de Mn2 ? Calculer les valeurs correspondantes de v_{D1} et v_{D2} .

i. En déduire la plage de variation de la tension différentielle de sortie ($v_{diff} = v_{d2} - v_{d1}$).

Annexe

Paramètres d'une technologie MOS 0,35 μ m alimentée en 3,3 volts.

	Tension de seuil (V)	Facteur de gain (μ A/V ²)
NMOS	$V_{tn} = 0,46$	$k'_n = 175$
PMOS	$V_{tp} = -0,60$	$k'_p = 58$

Bibliographie

"Microelectronic Circuits", A.S. Sedra, K.C. Smith, Oxford University Press. (MIC GEN SEDR)

"Analysis and Design of Analog Integrated Circuits", P.R. Gray, P.J. Hurst, S.H. Lewis, R.G. Meyer, John Wiley & Sons.

"Design of Analog CMOS Integrated Circuits", B. Razavi, McGraw-Hill.