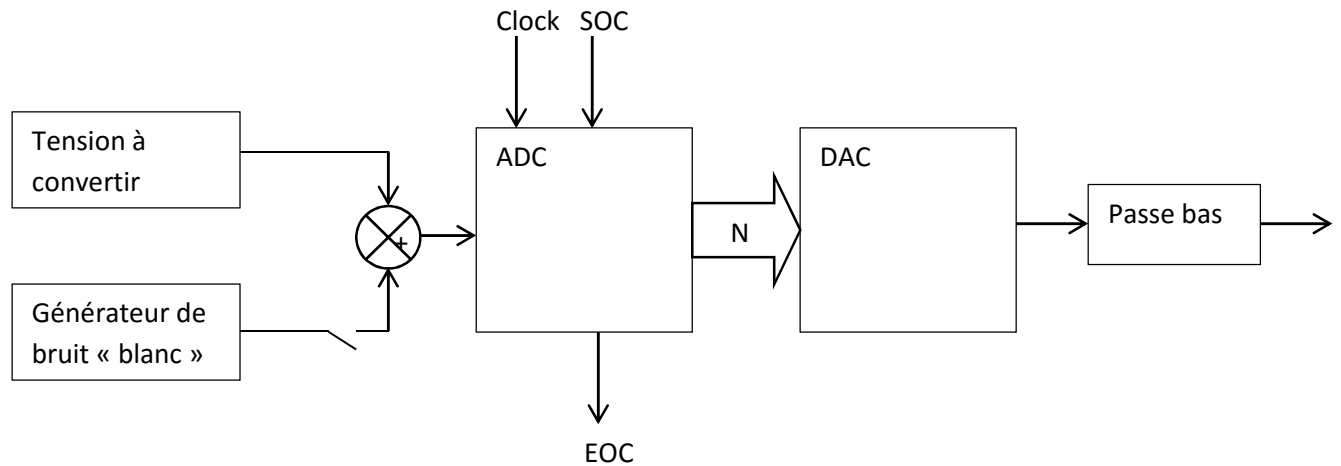


Schéma fonctionnel de la maquette de simulation sous PROTEUS-ISIS :



Objectifs du TP : Appréhender la CAN et CNA (ADC DAC). Les phénomènes résultants de l'échantillonnage, de la quantification. L'influence du nb de bits de conversion, du sur-échantillonnage. *La chaîne de traitement ne contient pas de DSP, le résultat de la conversion est directement injecté dans le CNA.*

Prérequis : Avoir écouté, lu et étudié le cours « ADC-DAC »

Conditions : Durée 3h, ordinateur avec simulateur Proteus/ISIS

Evaluation : Un compte rendu numérique par binôme

Etude statique, carte de simulation TP_ADC_DAC_1.dsn, SW2 et SW1 vers le bas:

La préparation n'est pas à faire, les réponses sont données. Vous devez les vérifier

1) A partir du datasheet du CAN ADC0808 et du schéma indiquer :

- Le type de convertisseur : **Approximations successives (SAR) (page2)**
- Expliquer rapidement le principe utilisé pour le CNA produisant les différentes pesées et l'avantage de ce type de solution.

C'est un réseau de 256 résistances qui par ponts diviseurs commandés par le SAR produit les tensions utiles à la pesée. (pages 2 et 7). C'est le rapport des résistances qui définit les tensions de pesées, les résistances étant appariées ce procédé est quasi indépendant de la température

- Le nombre de bits de conversion : **8bits, 8 entrées multiplexées (page 2)**
- L'erreur maximale de conversion à 25°C : **+/- 1/2LSB**
- La durée de la conversion : **100uS donnée page 2, mais ... la durée de conversion dépend de l'horloge, 100uS est donnée pour $f_c=640\text{KHz}$ (page5) pour $f_c=1280\text{KHz}$ $t_{conv}=50\text{uS}$**

Pour ce type de convertisseur le temps de conversion devrait être $n\text{bits}.1/f_c$, soit ici 12,5uS pour $f_c=640\text{KHz}$ hors le constructeur donne $t_c=100\text{uS}$. En fait, l'horloge f_{sar} du registre SAR est $f_{sar}=f_c/8$. Justifier le temps de conversion de 100uS :

$t_c=1/f_c=1,5625\text{uS} \times 8 = 12,5 \text{ uS} \times 8\text{bits} = 100\text{uS}$ (auquel s'ajoute un délai t_{EOC} de 0 à 2uS)

- Le quantum de conversion pour $V_{ref+}=5\text{v}$, $V_{ref-}=0\text{v}$: **$q=5/256=19,53\text{mV}$**
- Exprimer N(nombre issu du CAN)= $f(V_{in}, V_{ref+}, V_{ref-})$: **$N=((V_{in}+q/2)/V_{ref})(2^n-1)$**
- Le nombre (décimal, binaire, hexadécimal) en sortie pour $V_E=0\text{v}$, $V_E=2,501\text{v}$ et $V_E=5\text{v}$ **respectivement 0 0x80 255**

- indiquer le rôle des signaux START ALE EOC

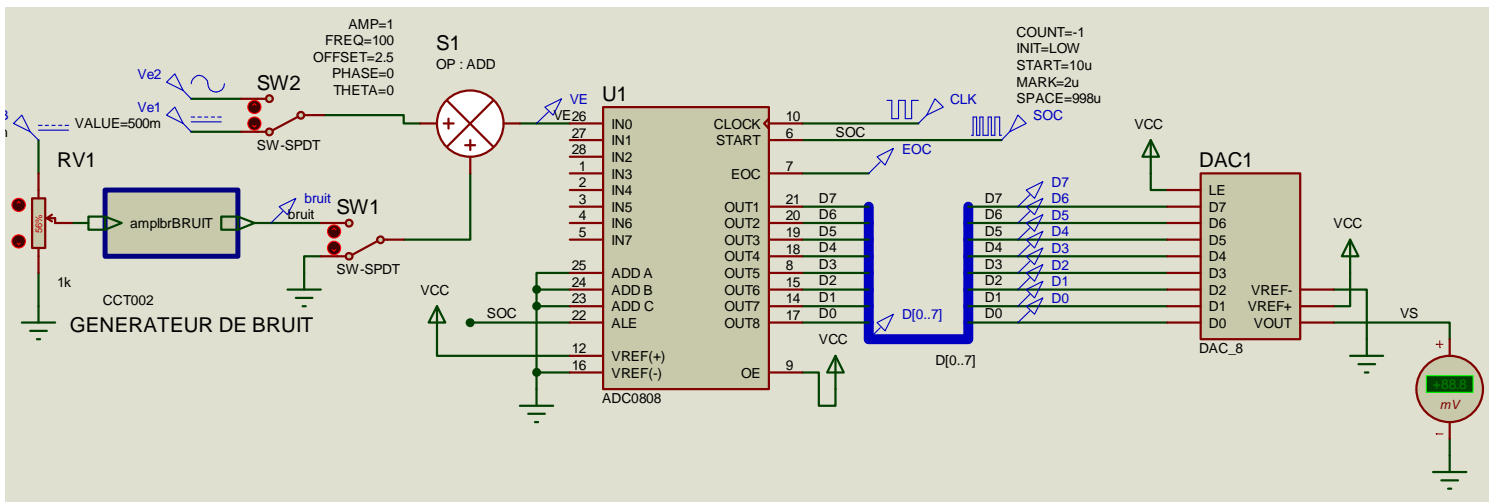
START lance la conversion

ALE (Adress Latch Enable) enregistre la voie à convertir

EOC (End Of Conversion) sortie indiquant que le nombre est disponible

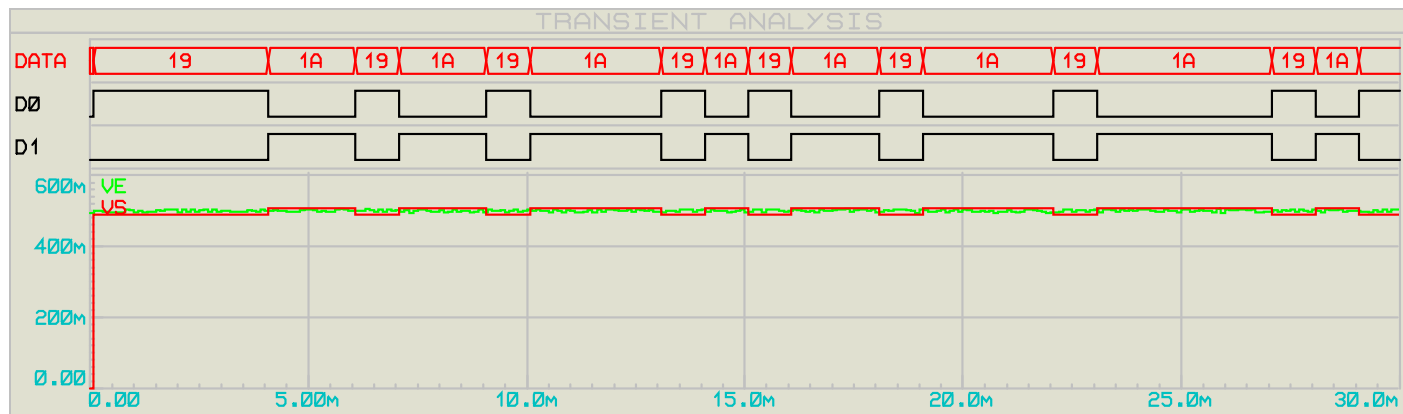
Travaux pratiques

- 2) Appliquer une fréquence d'horloge de 1MHz, un signal SOC périodique avec un temps à l'état haut de 2µs et une période de 1000µs (tl=998µs).
Relever les valeurs de N (décimal, hexadécimal) pour $V_e = 0v$, 505mV, et 5v.
- 3) Tracer la caractéristique $N=f(V_e)$ pour $480mV < V_e < 520mV$
- 4) Mesurer le temps de conversion (entre le front montant de SOC et le front montant du signal EOC), en déduire le nombre de cycles d'horloge pour une conversion puis comparer à la valeur attendue. (en mode graphe, la touche CTRL permet d'obtenir deux curseurs)
- 5) Ajouter le modèle de simulation DAC_8, convertisseur numérique analogique, le câbler sur D7-D0 (Indiquer comme sur le schéma ci-dessous les labels D7-D0, utiliser si nécessaire, clic-droit, propriétés, miroir vertical). $LE=VCC$, $V_{ref+}=VCC$, $V_{ref-}=GND$. Placer un millivoltmètre (DC VOLTMETER, clic-droit puis propriétés) sur VS (tension VOUT du DAC). La fonction de transfert du DAC est $V_s = V_{ref} \cdot N / 256$
Tracer la fonction de transfert $V_s = f(N)$ pour $19h < N < 1Bh$ (vérifier expérimentalement)
Relever VS pour les $V_e = 0v$, 5v, 505mV, comparer aux résultats calculés précédemment.
(Remarque : l'ADC a une erreur de $\pm 1/2q$ alors que le DAC a une erreur de 0 à 1q)



Augmentation du « ENOB » par addition de bruit et moyenne (principe du sur-échantillonnage).

- 6) Ajouter (SW1 en haut) au signal à mesurer un bruit blanc dont l'amplitude provoque une instabilité de 1 sur le nombre N (seuls les deux bits de poids faible peuvent évoluer). Visualiser les bits D0 et D1 ainsi que les signaux VE et VS sur un graphe « MIXED », ajouter les courbes par ctrl-T en indiquant leur nature (analogique ou numérique). Simuler, zoomer et interpréter.
Résultats attendus :



Pour éliminer les harmoniques de VS (moyenner le signal VS) on utilise un filtre passe bas RC (on prendra $R=100K$) du premier ordre dont la fréquence de coupure à -3dB est 2,5 Hz. Réaliser ce filtre et placer un millivoltmètre sur la sortie VSm. Relever approximativement la valeur de VS et VSm pour $VE=501mV$ (donc très proche du changement de N) et visualiser VSm sur le graphe précédent pour une durée de simulation d'au moins 5RC.

Estimer la précision sur VSm (delta autour de Ve)

A quel quantum cette variation correspond t elle ?

Estimer le nouvel ENOB et conclure.

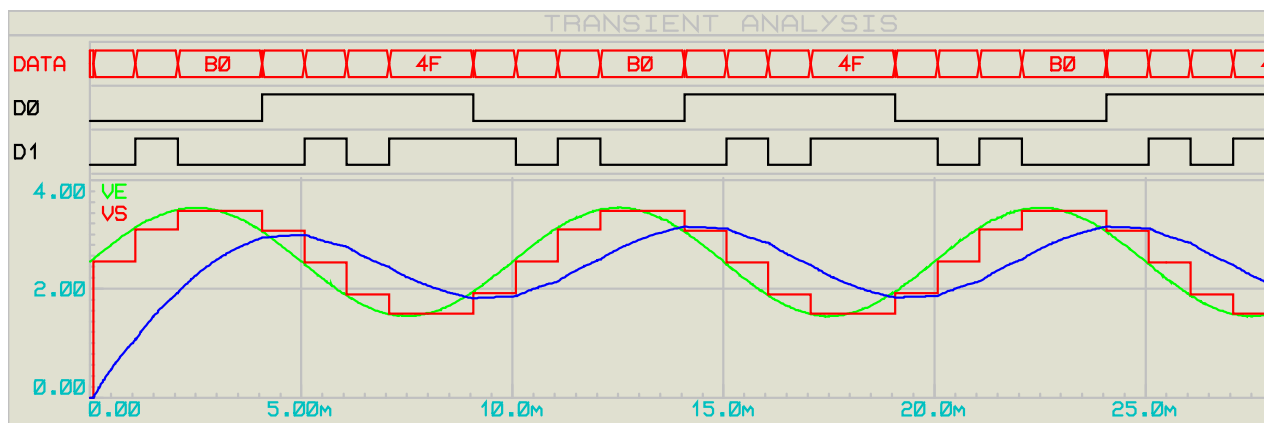
Estimer le temps de réponse à un échelon de 501mV (effectuer une simulation sur 1s).

Comment l'améliorer ?

Etude dynamique

On place maintenant sur l'entrée un signal sinusoïdale d'amplitude crête à crête de 2v, de valeur moyenne 2,5v et de fréquence 100Hz. (SW2 en haut, SW1 en bas)

- 7) La période d'échantillonnage ($TE=1/FE$) sera de 1ms ($TH=2\mu S$, $TL=998\mu S$) le critère de Niquist est-il respecté ? quel est le facteur de sur-échantillonnage ?
- 8) Afin d'augmenter la fréquence de coupure du filtre et pouvoir visualiser VSm, changer la valeur de C1 pour 20nF. Observer à l'oscilloscope le signal sur VS.
Visualiser sur le graphe, VE, VS et VSm sur une durée de 30mS
Sur le signal VS, Mesurer la période.
En mesurant le retard entre la variation de VS et VE, estimer la durée de conversion, comparer à la valeur donnée par le constructeur.
Expliquer pourquoi VSm est plus petit et déphasé par rapport à Ve
Modifier C1 pour C1= 5nF, que constatez-vous



Analyseur de spectre d'ISIS :

ISIS dispose d'un analyseur de spectre utilisant la FFT (Transformée de Fourier Rapide).

L'appareil analyse une fenêtre d'échantillons d'un signal et considère que celui-ci est périodique. L'analyse par FFT ne correspondra donc pas à un signal réel sauf si la fenêtre contient un nombre entier de périodes du signal (ce qui pratiquement est impossible).

Les analyseurs de Fourier proposent toujours un fenêtrage permettant de compenser les défauts de bords dues au fenêtrage, nous ne les utiliseront pas dans ce TP.

Configuration de l'analyseur : On désire le spectre d'un signal de 100Hz échantillonné toutes les mS (1KHz) et visualiser les premiers harmoniques autour de FE.

Ajouter sur le schéma : Graph-Fourrier puis les signaux à analyser comme pour un graphe analogique, en particulier on pose les courbes à gauche et à droite pour définir deux échelles verticales.

Cliquer droit puis « édit propriétés »

Temps de début et de fin de la fenêtre (ici la fréquence du signal est de 100Hz, la fenêtre couvre donc 10 périodes)

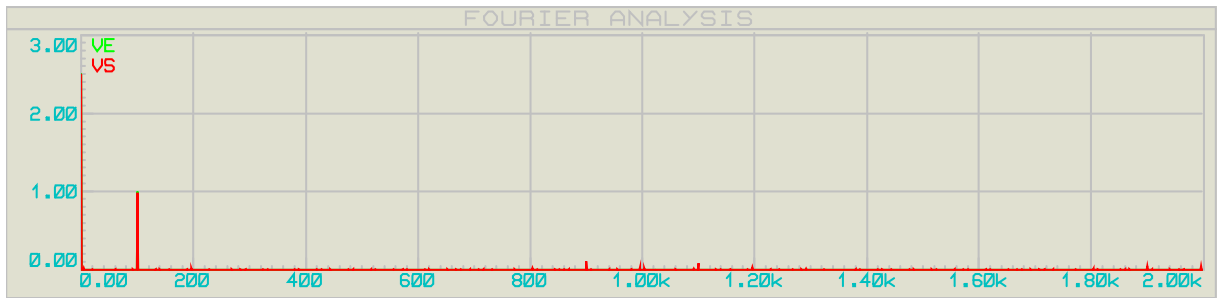
Fréquence max de la FFT (le signal est à 100Hz et FE à 1KHz)

Résolution en Hz de la FFT. Cette valeur doit être supérieure ou égale à $1/(\text{durée de la fenêtre})$

Graduations et échelles (voir ci-dessous)
Permet de définir les échelles des axes gauche et droit

- 9) Placer un analyseur spectre de Fourier. Visualiser les spectres de VE et VS.

Temps de fin 1s, résolution 1Hz, fréquence max 2KHz



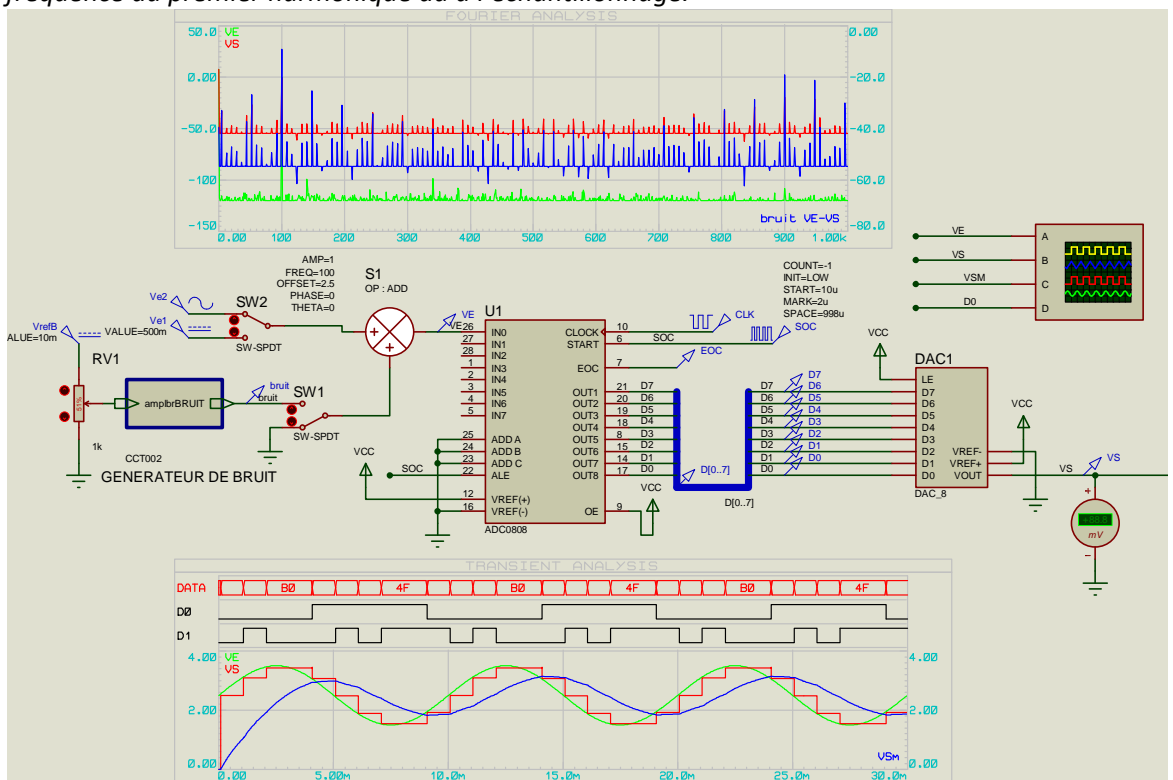
Indiquer la fréquence et l'amplitude du premier et du deuxième harmonique d'échantillonnage (autour de f_e). Comparer ces valeurs avec les valeurs attendues théoriquement (multiplication du spectre d'échantillonnage par un sinus cardinal) ?

Refaire l'expérience et analyser les harmoniques 3 et 4 avec un $f_e=2,5\text{ms}$.

On désire réaliser une simple recopie de VE sur VS ($VS=VE$) avec $T_e=1\text{ms}$. Comment faut-il modifier le filtre RC pour récupérer VE sur VS en atténuant le premier harmonique de 20dB ? Le fondamental est-il affecté ?

Visualiser sur le graphe, VE, VS et VSm sur une durée de 30mS, le résultat est-il satisfaisant ?

- 10) Si l'ordre du filtre passe bas est trop élevé, une solution consiste à augmenter la fréquence du premier harmonique dû à l'échantillonnage.



On sur-échantillonne maintenant par un facteur 20, quelle est la fréquence du premier harmonique d'échantillonnage ? Modifier la fréquence max de l'analyseur de spectre en conséquence. Relever la fréquence du premier harmonique et son amplitude. En utilisant le filtre RC précédent visualiser Vsm à l'oscilloscope, l'amélioration est-elle visible ?

- 11) Effectuer le sur-échantillonnage maximum pour ce CAN, observer VSm. indiquer la fréquence et l'amplitude du premier harmonique d'échantillonnage

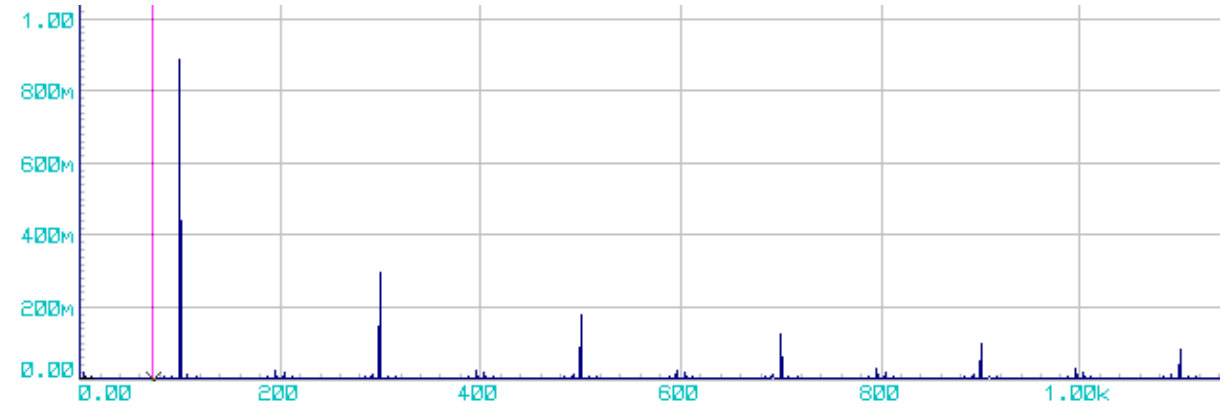
Facultatif

Estimation du SNRQ, influence de M (coefficient de sur-échantillonnage)

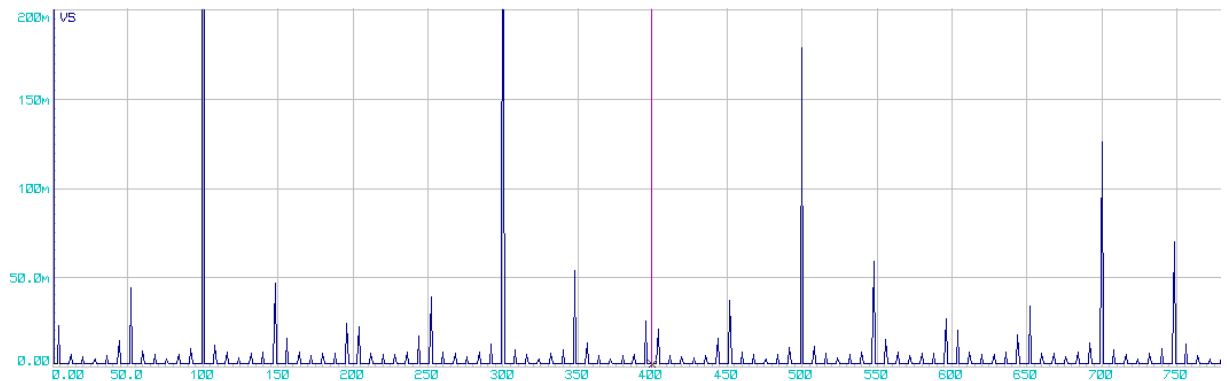
Rq : ISIS ne permet pas une mesure du bruit sur les ADC/DAC, cette partie du TP permet de visualiser l'influence du sur-échantillonnage et du nombre de bits de conversion sur le SNRQ.

- 12) Pour un sur-échantillonnage de 2. Visualiser le spectre de VS en vous limitant à 2 fois FE., visualiser les harmoniques du bruit, estimer leur densité et amplitudes.

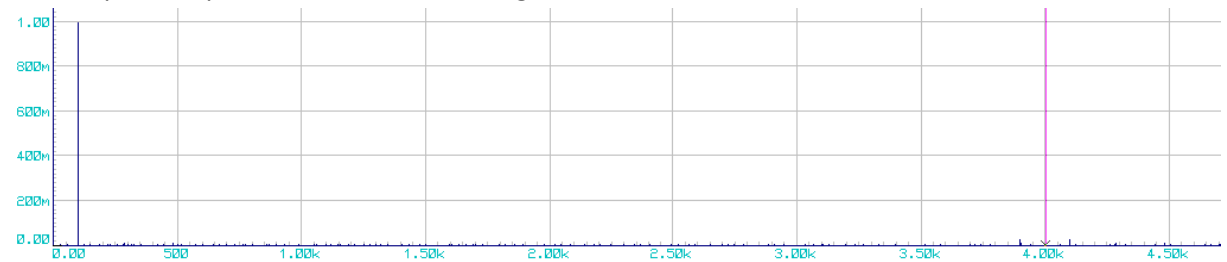
Pourquoi l'amplitude du fondamental est elle diminuée



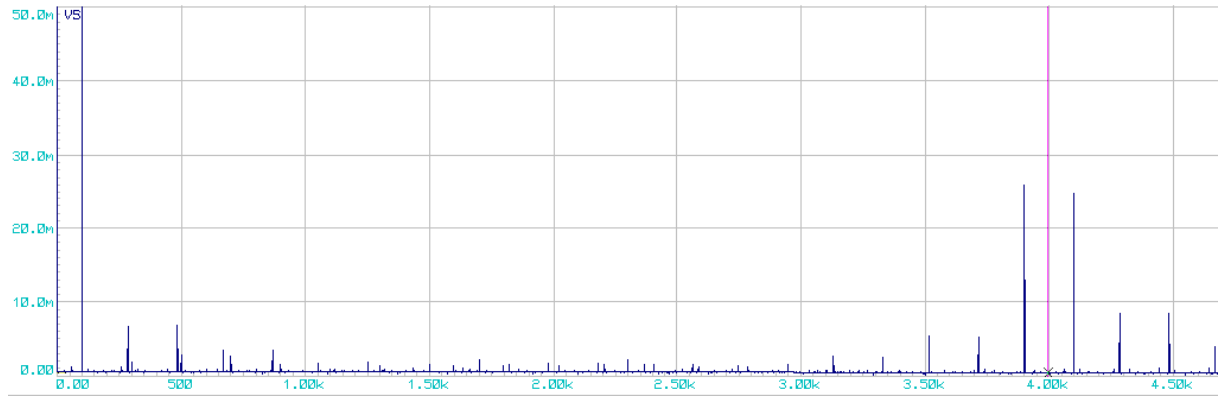
zoom :



- 13) Même question pour un sur-échantillonnage de 20. Conclure.



Zoom :



$$SNRQ = 1,76 + 6,02.N + 10 \log(M) - 20 \log\left(\frac{V_{can_{max}}}{V_{signal}}\right)$$

Estimation du SNRQ, influence de N (Nombre de bits de conversion)

- 1) Pour un sur-échantillonnage de 20, relier les bits 0 à 2 à la masse sur le DAC, le résultat de la conversion ne sera plus que sur 5bits. Relever les valeurs min, max du bruit et visualiser sa densité. Conclure.



zoom :

